

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210831

(43)Date of publication of application : 03.08.2001

(51)Int.Cl. H01L 29/786
 H01L 21/8238
 H01L 27/092
 H01L 27/08
 H01L 29/78

(21)Application number : 2000-341732 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 09.11.2000 (72)Inventor : TAKAGI TAKESHI
 INOUE AKIRA

(30)Priority

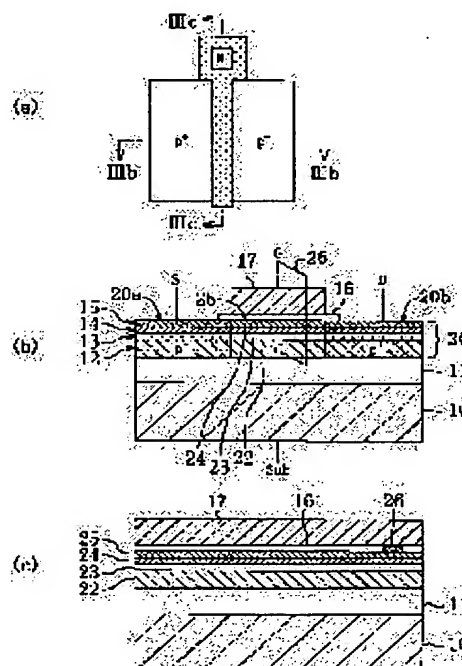
Priority number : 11324009 Priority date : 15.11.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which functions as an MIS transistor having a low threshold voltage and a wide operating voltage range.

SOLUTION: This HDTMOS has an Si substrate 10, a buried oxidized film 11, and a semiconductor layer 30. The layer 30 is composed of an upper Si film 12 and epitaxially grown Si layer 13, SiGe film 14, and Si film 15. The layer 30 also has a heavily doped n-type Si body area 22, n-type Si area 23, SiGe channel area 24 containing an n-type impurity at a low concentration, lightly doped n-type Si cap layer 25, and contact 26 which is a conductor member connecting a gate electrode 17 to the Si body area 22. By introducing a material having a lower potential to a carrier at a band end where the carrier runs than the material constituting the body area 22 has to a channel layer, the operating voltage range of the HDTMOS is expanded while the threshold voltage of the HDTMOS is maintained at a low value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-210831

(P2001-210831A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/786		H 0 1 L 27/08	3 3 1 E
21/8238		29/78	6 2 2
27/092		27/08	3 2 1 C
27/08	3 3 1		3 2 1 D
29/78		29/78	3 0 1 B
審査請求 未請求 請求項の数34 O L (全 31 頁) 最終頁に続く			

(21)出願番号 特願2000-341732(P2000-341732)

(22)出願日 平成12年11月9日(2000.11.9)

(31)優先権主張番号 特願平11-324009

(32)優先日 平成11年11月15日(1999.11.15)

(33)優先権主張国 日本(J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 高木 剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 井上 彰

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

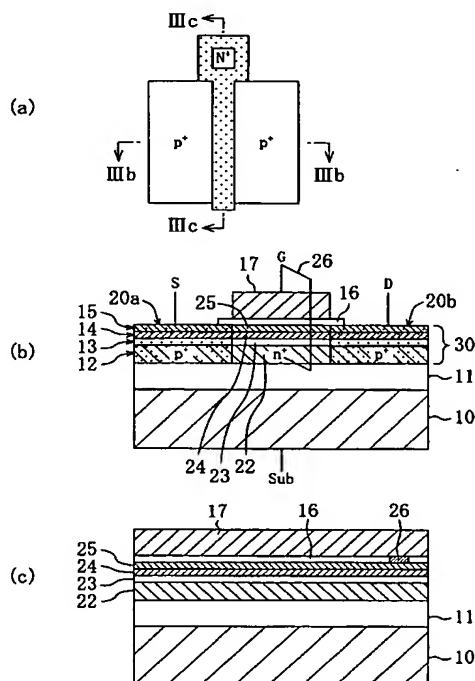
弁理士 前田 弘 (外7名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 しきい値電圧が小さく、かつ、動作電圧範囲の広いMISトランジスタとして機能する半導体装置を提供する。

【解決手段】 HDTMOSは、Si基板10と、埋め込み酸化膜11と、半導体層30とを有している。半導体層30は、上部Si膜12と、各々エピタキシャル成長されたSiパツファ層13、SiGe膜14、Si膜15とから構成されている。また、高濃度のn型Siボディ領域22と、n-Si領域23と、低濃度のn型不純物を含むSiGeチャネル領域24と、低濃度のn型Siキャップ層25と、ゲート電極17とSiボディ領域22とを電気的に接続する導体部材であるコンタクト26とが設けられている。チャネル層にボディ領域を構成する材料よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが小さい材料を導入することにより、しきい値電圧を小さく維持しつつ、動作範囲を拡大する。



【特許請求の範囲】

【請求項 1】 基板と、

上記基板の一部に設けられた半導体層と、
 上記半導体層の上に設けられたゲート絶縁膜と、
 上記ゲート絶縁膜の上に設けられたゲート電極と、
 上記半導体層のうち上記ゲート電極の両側方に設けられた第 1 導電型のソース・ドレイン領域と、
 上記半導体層のうち上記ソース・ドレイン領域間に位置する領域に設けられた第 1 の半導体からなるチャンネル領域と、

上記半導体層のうち上記チャンネル領域の下方に設けられ、上記第 1 の半導体よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第 2 の半導体からなる第 2 導電型のボディ領域と、
 上記ゲート電極と上記ボディ領域とを電気的に接続するための導体部材とを備えている半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
 上記半導体層のうち上記チャンネル領域と上記ゲート絶縁膜との間に設けられ、上記第 1 の半導体よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい半導体からなるキャップ層をさらに備えていることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、
 上記基板の少なくとも最上部は絶縁体により構成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、
 上記チャンネル領域は上記ボディ領域よりも $1/10$ 以下の低濃度の不純物を含むことを特徴とする半導体装置。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置において、
 上記ゲート電極は、第 1 導電型不純物を含むポリシリコン又はポリシリコンゲルマニウムにより構成されていることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 記載の半導体装置において、
 上記チャンネル領域を構成する第 1 の半導体は、少なくとも Si を成分元素として含んでおり、
 上記半導体層の一部には、チャンネルへの不純物の拡散を防止するための領域であって、 0.01% 以上で 2% 以下の濃度の炭素を含む領域をさらに備えていることを特徴とする半導体装置。

【請求項 7】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、
 上記第 1 の半導体は Si (シリコン) 及び Ge (ゲルマニウム) を成分元素として含む半導体であり、
 上記第 2 の半導体は Si であることを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、

上記ゲート絶縁膜とチャンネル領域の間に設けられ、 Si からなるキャップ層をさらに備えていることを特徴とする半導体装置。

【請求項 9】 請求項 7 又は 8 記載の半導体装置において、
 上記ソース・ドレイン領域は p 型ソース・ドレイン領域であり、
 上記チャンネル領域は p チャンネル用のチャンネル領域であり、

10 上記ボディ領域は n 型ボディ領域であることを特徴とする半導体装置。

【請求項 10】 請求項 7 又は 8 記載の半導体装置において、
 上記ソース・ドレイン領域は n 型ソース・ドレイン領域であり、
 上記チャンネル領域は n チャンネル用のチャンネル領域であり、
 上記ボディ領域は p 型ボディ領域であることを特徴とする半導体装置。

20 【請求項 11】 請求項 9 記載の半導体装置において、
 上記基板上に設けられたもう 1 つの半導体層と、
 上記もう 1 つの半導体層の上に設けられたもう 1 つのゲート絶縁膜と、
 上記もう 1 つのゲート絶縁膜の上に設けられたもう 1 つのゲート電極と、

上記もう 1 つの半導体層のうち上記もう 1 つのゲート電極の両側方に設けられた n 型ソース・ドレイン領域と、
 上記もう 1 つの半導体層のうち上記 n 型ソース・ドレイン領域間に位置する領域に設けられ、 Si 及び Ge を成分元素として含む n チャンネル用のチャンネル領域と、
 上記もう 1 つの半導体層のうち上記 n チャンネル用のチャンネル領域の下方に設けられ、 Si からなる p 型ボディ領域と、
 上記もう 1 つのゲート電極と上記 p 型ボディ領域とを電気的に接続するためのもう 1 つの導体部材とをさらに備え、
 相補型デバイスとして機能することを特徴とする半導体装置。

【請求項 12】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、
 上記第 1 の半導体は Si 及び C (カーボン) を成分元素として含む半導体であり、
 上記第 2 の半導体は Si であることを特徴とする半導体装置。

【請求項 13】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、
 上記第 1 の半導体は、引っ張り歪みを受けた Si であり、
 上記第 2 の半導体は、格子歪みが緩和した $SiGe$ であることを特徴とする半導体装置。

【請求項 14】 請求項 12 又は 13 記載の半導体装置において、
上記ゲート絶縁膜とチャネル領域の間に設けられ、Si からなるキャップ層をさらに備えていることを特徴とする半導体装置。

【請求項 15】 請求項 12～14 記載の半導体装置において、
上記ソース・ドレイン領域は p 型ソース・ドレイン領域であり、
上記チャネル領域は p チャネル用のチャネル領域であり、
上記ボディ領域は n 型ボディ領域であることを特徴とする半導体装置。

【請求項 16】 請求項 12～14 記載の半導体装置において、
上記ソース・ドレイン領域は n 型ソース・ドレイン領域であり、
上記チャネル領域は n チャネル用のチャネル領域であり、
上記ボディ領域は p 型ボディ領域であることを特徴とする半導体装置。

【請求項 17】 請求項 15 記載の半導体装置において、
上記基板上に設けられたもう 1 つの半導体層と、
上記もう 1 つの半導体層の上に設けられたもう 1 つのゲート絶縁膜と、
上記もう 1 つのゲート絶縁膜の上に設けられたもう 1 つのゲート電極と、
上記もう 1 つの半導体層のうち上記もう 1 つのゲート電極の両側方に設けられた n 型ソース・ドレイン領域と、
上記もう 1 つの半導体層のうち上記 n 型ソース・ドレイン領域間に位置する領域に設けられ、Si 及び C を成分元素として含む第 1 の半導体からなる n チャネル用のチャネル領域と、
上記もう 1 つの半導体層のうち上記 n チャネル用のチャネル領域の下方に設けられた Si からなる p 型ボディ領域と、
上記もう 1 つのゲート電極と上記 p 型ボディ領域とを電氣的に接続するためのもう 1 つの導体部材とをさらに備え、
相補型デバイスとして機能することを特徴とする半導体装置。

【請求項 18】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、
上記第 1 の半導体は Si、Ge 及び C を成分元素として含む半導体であり、
上記第 2 の半導体は Si であることを特徴とする半導体装置。

【請求項 19】 請求項 18 記載の半導体装置において、

上記ゲート絶縁膜とチャネル領域の間に設けられ、Si からなるキャップ層をさらに備えていることを特徴とする半導体装置。

【請求項 20】 請求項 18 又は 19 記載の半導体装置において、
上記ソース・ドレイン領域は p 型ソース・ドレイン領域であり、
上記チャネル領域は p チャネル用のチャネル領域であり、
上記ボディ領域は n 型ボディ領域であることを特徴とする半導体装置。

【請求項 21】 請求項 18 又は 19 記載の半導体装置において、
上記ソース・ドレイン領域は n 型ソース・ドレイン領域であり、
上記チャネル領域は n チャネル用のチャネル領域であり、
上記ボディ領域は p 型ボディ領域であることを特徴とする半導体装置。

【請求項 22】 請求項 20 記載の半導体装置において、
上記基板上に設けられたもう 1 つの半導体層と、
上記もう 1 つの半導体層の上に設けられたもう 1 つのゲート絶縁膜と、
上記もう 1 つのゲート絶縁膜の上に設けられたもう 1 つのゲート電極と、
上記もう 1 つの半導体層のうち上記もう 1 つのゲート電極の両側方に設けられた n 型ソース・ドレイン領域と、
上記もう 1 つの半導体層のうち上記 n 型ソース・ドレイン領域間に位置する領域に設けられ、Si、Ge 及び C を成分元素として含む n チャネル用のチャネル領域と、
上記もう 1 つの半導体層のうち上記チャネル領域の下方に設けられ、Si からなる p 型ボディ領域と、
上記もう 1 つのゲート電極と上記 p 型ボディ領域とを電氣的に接続するためのもう 1 つの導体部材とをさらに備え、
相補型デバイスとして機能することを特徴とする半導体装置。

【請求項 23】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、
上記ソース・ドレイン領域は p 型ソース・ドレイン領域であり、
上記チャネル領域は Si 及び Ge を成分元素として含む p チャネル用のチャネル領域であり、
上記ボディ領域は Si からなる n 型ボディ領域であり、
上記 p チャネル用のチャネル領域の上面又は下面のうちいずれか一方の面に接して設けられ、Si 及び C を成分元素として含む SiC 層と、
上記基板上に設けられたもう 1 つの半導体層と、
上記もう 1 つの半導体層の上に設けられたもう 1 つのゲ

10

20

30

40

50

ート絶縁膜と、

上記もう1つのゲート絶縁膜の上に設けられたもう1つのゲート電極と、

上記もう1つの半導体層のうち上記もう1つのゲート電極の両側方に設けられたn型ソース・ドレイン領域と、
上記もう1つの半導体層のうち上記n型ソース・ドレイン領域間に位置する領域に設けられ、Si及びCを成分元素として含むnチャネル用のチャネル領域と、

上記nチャネル用のチャネル領域の上面又は下面のうちいずれか一方の面に接して設けられ、Si及びGeを成分元素として含むSiGe層と、

上記もう1つの半導体層のうち上記nチャネル用のチャネル領域の下方に設けられ、Siからなるp型ボディ領域と、

上記もう1つのゲート電極と上記p型ボディ領域とを電氣的に接続するためのもう1つの導体部材とをさらに備えていることを特徴とする半導体装置。

【請求項24】 請求項23記載の半導体装置において、

上記ゲート絶縁膜と上記pチャネル用のチャネル領域との間に設けられたSiからなるキャップ層と、

上記もう1つのゲート絶縁膜と上記nチャネル用のチャネル領域との間に設けられたSiからなるもう1つのキャップ層とをさらに備えていることを特徴とする半導体装置。

【請求項25】 基板と、

上記基板の一部に設けられた半導体層と、

上記半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極と、

上記半導体層のうち上記ゲート電極の両側方に設けられたn型のソース・ドレイン領域と、

上記半導体層のうち上記ソース・ドレイン領域間に位置する領域に設けられ、Si及びGeを成分元素として含む第1の半導体からなり、かつ、p型不純物を含むnチャネル用のチャネル領域と、

上記半導体層のうち上記チャネル領域の下方に設けられ、Siを成分元素として含み上記第1の半導体よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第2の半導体からなり、p型不純物を含むボディ領域とを備えている半導体装置。

【請求項26】 請求項25記載の半導体装置において、

上記半導体層のうち上記チャネル領域と上記ゲート絶縁膜との間に設けられ、Siを成分元素として含み、p型不純物を含むキャップ層をさらに備えていることを特徴とする半導体装置。

【請求項27】 請求項25又は26記載の半導体装置において、

上記ゲート電極と上記ボディ領域とを電氣的に接続するための導体部材をさらに備えていることを特徴とする半

導体装置。

【請求項28】 請求項25～27のうちいずれか1つに記載の半導体装置において、
上記基板の少なくとも最上部は絶縁体により構成されていることを特徴とする半導体装置。

【請求項29】 請求項25～28のうちいずれか1つに記載の半導体装置において、
上記ゲート電極は、第1導電型不純物を含むポリシリコン又はポリシリコンゲルマニウムにより構成されていることを特徴とする半導体装置。

【請求項30】 請求項29に記載の半導体装置において、

上記第1の半導体はSiGeであり、

上記半導体層の一部には、チャネルへの不純物の拡散を防止するための領域であって、0.01%以上で2%以下の濃度の炭素を含む領域をさらに備えていることを特徴とする半導体装置。

【請求項31】 請求項25～30のうちいずれか1つに記載の半導体装置において、

上記第1の半導体はSiGeであり、

上記第2の半導体はSiであることを特徴とする半導体装置。

【請求項32】 請求項31記載の半導体装置において、

上記基板上に設けられたもう1つの半導体層と、

上記もう1つの半導体層の上に設けられたもう1つのゲート絶縁膜と、

上記もう1つのゲート絶縁膜の上に設けられたもう1つのゲート電極と、

上記もう1つの半導体層のうち上記もう1つのゲート電極の両側方に設けられたp型ソース・ドレイン領域と、
上記もう1つの半導体層のうち上記p型ソース・ドレイン領域間に位置する領域に設けられ、SiGeからなるpチャネル用のチャネル領域と、

上記半導体層のうち上記pチャネル用のチャネル領域の下方に設けられ、n型不純物を含むSiからなるn型ボディ領域とをさらに備え、

相補型デバイスとして機能することを特徴とする半導体装置。

【請求項33】 請求項25～30のうちいずれか1つに記載の半導体装置において、

上記第1の半導体はSiGeCであり、

上記第2の半導体はSiであることを特徴とする半導体装置。

【請求項34】 請求項32記載の半導体装置において、

上記基板上に設けられたもう1つの半導体層と、

上記もう1つの半導体層の上に設けられたもう1つのゲート絶縁膜と、

上記もう1つのゲート絶縁膜の上に設けられたもう1つ

のゲート電極と、
 上記もう1つの半導体層のうち上記もう1つのゲート電極の両側方に設けられたp型ソース・ドレイン領域と、
 上記もう1つの半導体層のうち上記p型ソース・ドレイン領域間に位置する領域に設けられ、SiGeCからなるpチャネル用のチャネル領域と、
 上記半導体層のうち上記pチャネル用のチャネル領域の下方に設けられ、n型不純物を含むSiからなるn型ボディ領域とをさらに備え、
 相補型デバイスとして機能することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ヘテロ接合型の活性領域を有するDTMOSあるいはMISFETとして機能する半導体装置に関する。

【0002】

【従来の技術】近年、電池駆動による携帯情報端末装置は広く使用されている。このような装置においては、電池寿命を延ばすために、高速動作を犠牲にすることなく電源電圧を低減化することが強く望まれている。低電源電圧においても高速動作を実現するためには、しきい値電圧を下げるのが有効であるが、この場合、ゲートオフ時のリーク電流が大きくなるため、おのずとしきい値電圧には下限が存在する。

【0003】そこで、例えば文献(F. Assaderaghi et. al., "A Dynamic Threshold Voltage MOSFET(DTMOS) for Ultra-Low Voltage Operation," IEDM94 Ext. Abst. p.809)に開示されているように、このような問題を解決し、低電圧時にもリーク電流が小さくかつ、高駆動能力を有するデバイスとして、DTMOS(Dynamic Threshold Voltage MOSFET)と呼ばれる素子が提案されている。

【0004】図1及び図2は、従来のDTMOSの構造を模式的に示す断面図及び平面図である。図1に示すように、従来のDTMOSは、p型シリコン基板(p-Si Sub)上に埋め込み酸化膜層(Buried Oxide)と基板活性領域となる半導体層とを有するSOI基板を用いている。そして、従来のDTMOSは、基板活性領域の上に設けられたゲート絶縁膜(SiO₂)と、ゲート(n⁺poly-Si)と、基板活性領域のうちゲートの両側方に位置する領域に設けられたソース・ドレイン領域(n⁺層)と、基板活性領域のうちソース・ドレイン領域間に位置する領域に設けられたチャネル領域(p層のうちの表面部)とを備えている。そして、チャネル領域の下方や側方に位置する基板領域(ボディ)とゲート電極とが配線により電氣的に短絡するように接続されている。このように、ゲートとボディとが短絡された状態で、ゲートにバイアス電圧V_gが印加されると、ボディを介してチャネル領域にゲートバイアス電圧V_gと同じ大きさの

順方向バイアス電圧が印加されることになる。これにより、ゲートバイアスオフ時には通常のMOSトランジスタと同じ状態となり、また、ゲートバイアスオン時には、ゲートバイアス電圧V_gの増大にともなうボディが順方向にバイアスされていくため(図1に示すnチャネル型MOSトランジスタでは、チャネル領域の伝導帯端のエネルギーレベルが低下するため)、しきい値電圧V_tが低下していく。

【0005】このようなDTMOSは、SOI基板に形成された通常のMOSトランジスタ(ゲートとボディとが短絡されていないトランジスタ)と比較すると、ゲートバイアスオフ時には、そのリーク電流は通常のトランジスタのリーク電流と同等となる。一方、ゲートバイアスオン時には、前述したようにしきい値が減少するので、ゲートオーバードライブ効果が増大し、駆動力が著しく増大する。また、DTMOSでは、ゲートとチャネル領域との電位差がほとんどないため、基板表面での縦方向電界が通常のトランジスタに比べて著しく小さくなる。その結果、縦方向電界の増大にともなうキャリアの移動度の劣化が抑制されるので、駆動力が著しく増大する。

【0006】このように、DTMOSは、n型のゲート-p型のボディ(ベース)-n型のソース領域(エミッタ)・ドレイン領域(コレクタ)間に発生する横方向の寄生バイポーラトランジスタがオンしてボディ電流が実用上問題となる程度に大きくなるまでの動作電圧範囲においては、低しきい値電圧つまり低電源電圧で高速動作が可能なトランジスタとして機能することになる。

【0007】

【発明が解決しようとする課題】しかしながら、このようなDTMOS構造の場合、スタンバイ電流を抑制するためには、ゲートに印加する電圧は、横方向の寄生バイポーラトランジスタがオンする電圧の0.6V程度以下に制限する必要がある。これは、横方向寄生バイポーラトランジスタのベース電流(DTMOSにおけるゲート-ボディ間に流れるゲート電流またはボディ電流)がシリコンのビルトインポテンシャルによりほぼ決まるため、ゲートバイアス電圧V_g(ベース電圧)が0.6V程度となるとゲート電流又はボディ電流(ベース電流)が非常に大きくなるためである。

【0008】図7は、ドレイン電流及びボディ電流のゲートバイアス電圧依存性をシミュレーションした結果を示す図である。同図の太い破線は従来のDTMOSのドレイン電流I_dを示し、細い破線は従来のDTMOSのボディ電流I_bを示す。ただし、同図においては、pチャネル型MOSトランジスタとして動作するDTMOSについてシミュレーションしているので、ゲートバイアス電圧は負の値となっているが、nチャネル型のDTMOSの場合には、ゲートバイアス電圧が正である。また、このシミュレーションは、ボディの不純物濃度が1

$\times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 、ゲート長が $0.5 \mu\text{m}$ 、ゲート絶縁膜の厚み T_{ox} が 10 nm であるとして得られたものである。同図の各破線の曲線からわかるように、図 1 に示す従来の DT MOS では、ゲートバイアス電圧が 0.6 V 以上になるとボディ電流 I_b が実用上問題となる値（約 10^{-9} A ）以上に大きくなるので、これを回避すべく、動作電圧範囲が極めて狭く限定されることになる。

【0009】また、従来の DT MOS においては、しきい値電圧を低くする必要上、ボディの不純物濃度を高くすることができない。実際に、上記文献においては、ボディの p 型不純物の濃度が $1.5 \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度と記載されている。その結果、ボディの抵抗が非常に高くなり、ボディにおける電圧降下のためチャネル領域にゲートの電位が効率よく伝わらず、CR 遅延がダイナミックな動作に支障を与え、高速動作の妨げとなるという問題点があった。

【0010】さらに、ボディの不純物濃度が低いために、ゲート長を短くしていった場合に生じるショートチャネル効果が顕著となるという問題点があった。これは、ゲート長が短い場合には、ソース・ドレイン領域間において、ボディに空乏層が広がることでパンチスルーを起こしやすくなるためである。つまり、従来の DT MOS では、トランジスタのサイズの微細化（ゲート長の微細化）による素子性能の向上や集積度の向上を図ることが実際上困難であった。

【0011】本発明の目的は、しきい値電圧の低い、高速動作が可能な動作範囲の広い DT MOS として機能する半導体装置の提供を図ることにある。

【0012】

【課題を解決するための手段】本発明の半導体装置は、基板と、上記基板の一部に設けられた半導体層と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層のうち上記ゲート電極の両側方に設けられた第 1 導電型のソース・ドレイン領域と、上記半導体層のうち上記ソース・ドレイン領域間に位置する領域に設けられた第 1 の半導体からなるチャネル領域と、上記半導体層のうち上記チャネル領域の下方に設けられ、上記第 1 の半導体よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第 2 の半導体からなる第 2 導電型のボディ領域と、上記ゲート電極と上記ボディ領域とを電気的に接続するための導体部材とを備えている。

【0013】これにより、ゲート電極とボディ領域とが電気的に接続されているので、ゲート電極に電圧が印加されてもボディ領域がゲート電極とほぼ同じ電位に維持されるために、半導体層のうちチャネル領域以外の領域において反転層が生じることがなく、寄生チャネルの発生が抑制される。そして、チャネル領域がボディ領域を構成する第 2 の半導体よりもキャリアが走行するバンド

端のキャリアに対するポテンシャルが小さい第 1 の半導体により構成されているので、チャネル領域が反転するために必要なゲートバイアス、つまりしきい値電圧を小さくすることができる。したがって、ドレイン電流が増大し、チャネルを流れるドレイン電流とボディ（ゲート）電流との差が拡大するので、動作電圧範囲の拡大を図ることができる。これは、バイポーラトランジスタにおいて、ベース層にバンドギャップの小さい材料を用いることにより、ベース電流を同程度に保ったまま、コレクタ電流の増大を図ったヘテロバイポーラトランジスタと同じ原理である。

【0014】上記半導体層のうち上記チャネル領域と上記ゲート絶縁膜との間に設けられ、上記第 1 の半導体よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい酸化膜形成用半導体からなるキャップ層をさらに備えることにより、ゲート絶縁膜を電気的特性のよい酸化膜よって構成することが可能となる。一方、ゲート電極とボディ領域とが電気的に接続されているので、ゲートバイアスを高くしてもゲート絶縁膜とキャップ層との間に寄生チャネルが生じることがない。

【0015】上記基板の少なくとも最上部は絶縁体により構成されていることにより、寄生容量が小さくなるので、半導体の動作速度がさらに高くなる。

【0016】上記チャネル領域が上記ボディ領域よりも $1/10$ 以下の低濃度の不純物を含むことにより、しきい値の昇が抑制されるとともに、不純物散乱が抑制されるので、キャリアの走行速度の低下が抑制される。

【0017】上記ゲート電極が、第 1 導電型不純物を含むポリシリコン又はポリシリコンゲルマニウムにより構成されていることにより、チャネル領域との間でビルトインポテンシャルが形成されるので、キャリアを閉じ込めるのに適したバンド構造が得られる。

【0018】上記チャネル領域を構成する第 1 の半導体は、少なくとも Si を成分元素として含んでおり、上記半導体層の一部には、チャネルへの不純物の拡散を防止するための領域であって、 0.01% 以上で 2% 以下の濃度の炭素を含む領域をさらに備えていることにより、高濃度の不純物を含むボディ領域からチャネル領域への不純物の拡散が抑制され、チャネル領域における不純物散乱の少ない高速動作が可能な半導体装置が得られる。

【0019】上記第 1 の半導体は Si（シリコン）及び Ge（ゲルマニウム）を成分元素として含む半導体であり、上記第 2 の半導体は Si であることにより、第 1 の半導体対の価電子帯端に生じるバンドオフセットを利用して、ホールが走行する p チャネルに適したチャネル領域が得られる。

【0020】上記ゲート絶縁膜とチャネル領域の間に設けられ、Si からなるキャップ層をさらに備えることにより、チャネル領域のうちキャップ層ーチャネル領域間に生じるバンドオフセットに接する領域をチャネルとし

て利用することが可能になるとともに、ゲート絶縁膜をキャップ層の表面を酸化して得られる電気的特性のよいシリコン酸化膜によって構成することが可能になる。

【0021】上記ソース・ドレイン領域はp型ソース・ドレイン領域であり、上記チャネル領域はpチャネル用のチャネル領域であり、上記ボディ領域はn型ボディ領域であってもよいし、上記ソース・ドレイン領域はn型ソース・ドレイン領域であり、上記チャネル領域はnチャネル用のチャネル領域であり、上記ボディ領域はp型ボディ領域であってもよい。そして、これらを備えることで、相補型のトランジスタを形成することができる。

【0022】上記第1の半導体はSi、Ge及びCを成分元素として含む半導体であり、上記第2の半導体はSiであることにより、Si/SiGeC接合部に形成される伝導帯端及び価電子帯端のバンドオフセットを利用して、nチャネルとしてもpチャネルとしても利用できるチャネル領域が得られる。

【0023】上記第1の半導体は、引っ張り歪みを受けたSiであり、上記第2の半導体は、格子歪みが緩和したSiGeであってもよい。

【0024】本発明の第2の半導体装置は、基板と、上記基板の一部に設けられた半導体層と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層のうち上記ゲート電極の両側方に設けられたn型のソース・ドレイン領域と、上記半導体層のうち上記ソース・ドレイン領域間に位置する領域に設けられ、Si及びGeを成分元素として含む第1の半導体からなり、かつ、p型不純物を含むnチャネル用のチャネル領域と、上記半導体層のうち上記チャネル領域の下方に設けられ、Siを成分元素として含む上記第1の半導体よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが大きい第2の半導体からなり、p型不純物を含むボディ領域とを備えている。

【0025】上記半導体層のうち上記チャネル領域と上記ゲート絶縁膜との間に設けられ、Siを成分元素として含み、p型不純物を含むキャップ層をさらに備えることにより、キャップ層とチャネル領域との間に形成される伝導帯端のバンドオフセットを利用して、電子を閉じ込めるのに適したくぼみを形成することが可能になる。そして、Si/SiGe接合を利用したnチャネル型MISトランジスタが得られる。

【0026】上記ゲート電極と上記ボディ領域とを電気的に接続するための導体部材をさらに備えていることにより、DTMOSとして機能する半導体装置が得られる。

【0027】上記基板の少なくとも最上部は絶縁体により構成されていることにより、いわゆるSOI基板を利用した寄生容量の小さい、高速動作が可能なトランジスタが得られる。

【0028】上記ゲート電極は、第1導電型不純物を含むポリシリコン又はポリシリコンゲルマニウムにより構成されていることが好ましい。

【0029】上記第1の半導体はSiGeCであり、上記第2の半導体はSiであってもよい。

【0030】

【発明の実施の形態】（第1の実施の形態）本実施形態では、チャネル領域を構成する材料としてSiGeを用い、Si/SiGeヘテロ接合を利用したDTMOS

（以下、ヘテロDTMOS又はHDTMOSという）の実施例について説明する。

【0031】図3(a)、(b)、(c)は、それぞれ順に、本実施形態のHDTMOSの構造を模式的に示す平面図、図3(a)で示すIIIb-IIIb線における断面図、図3(a)で示すIIIc-IIIc線における断面図である。図3(a)～(c)に示すように、本実施形態のHDTMOSは、p型のSi基板10と、Si基板に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜11と、埋め込み酸化膜11の上に設けられた半導体層30とを有している。半導体層30は、SOI基板の上部を構成する上部Si膜12と、上部Si膜12の上にUHVCVD法によりエピタキシャル成長されたSiバッファ層13と、Siバッファ層13の上にUHVCVD法によりエピタキシャル成長されたSiGe膜14と、SiGe膜14の上にUHVCVD法によりエピタキシャル成長されたSi膜15とから構成されている。さらに、HDTMOSは、Si膜15の上に設けられたシリコン酸化膜からなるゲート絶縁膜16と、ゲート絶縁膜16の上に設けられたゲート電極17とを備えている。そして、半導体層30、つまり上部Si膜12、Siバッファ層13、SiGe膜14及びSi膜15のうちゲート電極17の両側方に位置する領域には高濃度のp型不純物を含むソース領域20a及びドレイン領域20bが設けられている。また、上部Si膜12のうちソース領域20aとドレイン領域20bとの間の領域は、高濃度のn型不純物を含むSiボディ領域22となっており、Siバッファ層13のうちSiボディ領域22の直上に位置する領域は、低濃度のn型不純物を含むn-Si領域23となっている。そして、SiGe膜14のうちソース領域20aとドレイン領域20bとの間の領域は、比較的低濃度のn型不純物を含むSiGeチャネル領域24となっており、Si膜15のうちゲート絶縁膜16の直下に位置する領域は低濃度のn型不純物を含むSiキャップ層25となっている。また、ゲート電極17とSiボディ領域22とを電気的に接続する導体部材であるコンタクト26が設けられている。

【0032】また、図4は、本実施形態のHDTMOSの構造をさらに詳細に示す断面図である。ここで、埋め込み酸化膜11の厚さは約100nmであり、上部Si

膜 12 の厚みは約 100 nm であり、Si バッファ層 13 の厚みは約 10 nm であり、SiGe 膜 14 の厚みは約 15 nm であり、Si 膜 15 の厚みは約 5 nm である。Si ボディ領域 22 には、Si バッファ層 13 のエピタキシャル成長の前に、濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の n 型不純物（例えばヒ素又はリン）がイオン注入により導入されている。n⁻ Si 領域 23 には、低濃度の n 型不純物（例えばヒ素又はリン）が導入されている。SiGe チャネル領域 24 の Ge 含有率は約 40 % であり、SiGe チャネル領域 24 には、低濃度の n 型不純物（例えばヒ素又はリン）が導入されている。また、Si キャップ層 25 には、低濃度の n 型不純物（例えばヒ素又はリン）が導入されている。ゲート絶縁膜 16 は、Si 膜 15 を熱酸化することにより形成されたものである。ゲート電極 17 には、濃度が約 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ の p 型不純物（例えばボロン）がドーピングされている。なお、ゲート電極 17 の側面上には、シリコン酸化膜からなるサイドウォール 27 が設けられている。

【0033】図 5 は、Si キャップ層 25、SiGe チャネル領域 24 及び n⁻ Si 領域 23 を通過する断面におけるバンドアライメントを示すエネルギーバンド図である。Ge 含有率が 40 % の SiGe チャネル領域 24 のバンドギャップは、Si キャップ層 25 及び n⁻ Si 領域 23 に比べて、約 300 meV だけ小さくなるので、SiGe チャネル領域 24 と Si キャップ層 25 及び n⁻ Si 領域 23 との間には、ホールを閉じこめることが可能な価電子帯端のヘテロ障壁が形成される。

【0034】図 6 は、ゲート電極 17、ゲート絶縁膜 16、Si キャップ層 25、SiGe チャネル領域 24、n⁻ Si 層 23 及び Si ボディ領域 22 を通過する断面におけるビルトインバンド構造を示すエネルギーバンド図である。同図に示すように、ゲート電極 17 に p 型不純物をドーピングしておくことにより、バイアスが印加されていない状態で、SiGe チャネル領域 24 の Si キャップ層 25 に接する部分の価電子帯端のエネルギーが特に高くなり、ヘテロ障壁との間にホールの閉じこめに適した凹部が形成される。そして、ゲート電極 17 と Si ボディ領域 22 とが電気的に接続された状態で、ゲート電極 17 にゲートバイアス電圧が印加されても、ゲート電極 17 と Si ボディ領域 22 とはほぼ同じ電位に維持されるので、図 6 に示すバンド形状は変わることなく、全体のポテンシャルがソース・ドレイン領域に対して変化するだけである。したがって、従来の Si/SiGe ヘテロ MOSFET において Si キャップ層 25 のゲート絶縁膜 16 に接する部分に生じる反転層は、本発明の HDTMOS においては生じることがない。その結果、SiGe チャネル領域 24 とは別の部分に生じる、いわゆる寄生チャネルの発生を有効に防止することができるのである。

【0035】図 7 は、本発明の Si/SiGe ヘテロ接合構造を有する p チャネル型 HDTMOS と、Si ホモ接合構造を有する従来の p チャネル型 DTMOS とのドレイン電流 I_d 、ボディ電流 I_b のゲートバイアス依存性をシミュレーションした結果を示す図である。ドレイン電流 I_d 、ボディ電流 I_b 共に、Si ボディ領域における不純物濃度 n_b を $1 \times 10^{18} \text{ cm}^{-3}$ にしている。同図の太い破線は従来の DTMOS のドレイン電流 I_d を示し、細い破線は従来の DTMOS のボディ電流 I_b を示し、太い実線は本発明の HDTMOS のドレイン電流 I_d を示し、細い実線は本発明の HDTMOS のボディ電流 I_b を示す。このシミュレーションは、ドレイン電流 I_d 、ボディ電流 I_b 共に、Si ボディの不純物濃度 n_b が $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 、ゲート長が $0.5 \mu\text{m}$ 、ゲート絶縁膜の厚み T_{ox} が 10 nm であるとして得られたものである。

【0036】同図に示すように、チャネル領域をバンドギャップの小さい SiGe によって構成することで、細い実線で示されるボディ電流（ゲート電流）が立ち上がるゲートバイアス値はあまり大きく変化しないが、ドレイン電流 I_d が立ち上がるゲートバイアス値であるしきい値電圧が 0.2 V 程度低くなっている。つまり、図 6 に示すような SiGe チャネル領域 24 における価電子帯端のエネルギーレベルが従来の DTMOS に比べ高くなることで、しきい値電圧が低下するのである。一方、Si ボディ領域 22 の価電子帯端のエネルギーレベルは従来の DTMOS と同じであるので、寄生バイポーラトランジスタが動作することでボディ電流 I_b が立ち上がるゲートバイアス値は従来の DTMOS と変わらない。その結果、本発明の HDTMOS においては、従来の Si ホモ接合型の DTMOS に比べて、動作電圧範囲が拡大されていることがわかる。なお、本発明の HDTMOS のボディ電流 I_b の立ち上がり後の値は、従来の DTMOS のボディ電流 I_b に比べて低くなっている。

【0037】図 8 は、本発明の Si/SiGe-HDTMOS と上記従来の Si ホモ接合型 DTMOS とでしきい値電圧を等しくするために、ボディ領域の不純物濃度 n_b をそれぞれ調整したときのドレイン電流 I_d 、ボディ電流 I_b のゲートバイアス依存性をシミュレーションした結果を示す図である。同図の太い破線は従来の DTMOS のドレイン電流 I_d を示し、細い破線は従来の DTMOS のボディ電流 I_b を示し、太い実線は本発明の HDTMOS のドレイン電流 I_d を示し、細い実線は本発明の HDTMOS のボディ電流 I_b を示す。このシミュレーションは、ドレイン電流 I_d 、ボディ電流 I_b 共に、ゲート長が $0.5 \mu\text{m}$ 、ゲート絶縁膜の厚み T_{ox} が 10 nm であるとして得られたものである。ただし、本発明の Si/SiGe-HDTMOS における Si ボディ領域の不純物濃度 n_b は $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ で、従来の Si ホモ接合型 DTMOS のボディ領域の

不純物濃度 n_b は $2 \times 10^{17} \text{ cm}^{-3}$ としている。

【0038】同図に示すように、本発明のHDTMOSと従来のDTMOSとでドレイン電流 I_d のゲートバイアス依存性をほぼ等しくした場合、本発明のHDTMOSにおいてはボディ電流 I_b が実用上問題となる値に達するゲートバイアス値が、従来のDTMOSにおける値よりも約0.2Vだけ低くなる。つまり、本発明のHDTMOSによると、チャネル領域をバンドギャップの小さいSiGeによって構成することで、不純物濃度の調整により、約0.2Vだけ動作電圧範囲が拡大する。したがって、しきい値電圧を低くすることによる低電圧化と、しきい値電圧はあまり変えずにボディ電流を抑制することによる低消費電力化とのいずれかを選択することができる。

【0039】図9は、本発明のSi/SiGe-HDTMOSにおいて、ゲート長 L_g を変化させたときのドレイン電流 I_d 、ボディ電流 I_b のゲートバイアス依存性を示す図である。ここで、ゲート長 L_g に対するゲート幅 W_g の比 W_g/L_g は20としている。同図に示されるように、本発明のHDTMOSにおいては、ゲート長 L_g を短くしても、ドレイン電流 I_d 及びボディ電流 I_b 共にそれほど目立った変化が生じていない。

【0040】図10は、従来のSiホモ接合型DTMOSにおいて、ゲート長 L_g を変化させたときのドレイン電流 I_d 、ボディ電流 I_b のゲートバイアス依存性を示す図である。同図に示すように、従来のSiホモ接合型DTMOSにおいては、ゲート長 L_g が $0.25 \mu\text{m}$ 以下になると、しきい値電圧が著しく低下していることがわかる。

【0041】図11は、図9、図10のデータから求められる本発明のSi/SiGe-HDTMOSと、従来のSiホモ接合型DTMOSとのしきい値電圧のゲート長依存性を示す図である。同図に示すように、従来のDTMOSに比べると、本発明のHDTMOSにおいては、ゲート長 L_g を短くしていても、しきい値電圧の低下はほとんどみられない。

【0042】図9、図10及び図11から以下のことがわかる。従来のSiホモ接合型DTMOSにおいては、ゲート長 L_g が $0.25 \mu\text{m}$ 以下になるとしきい値電圧が急激に変化するが、本発明のHDTMOSにおいては、ゲート長 L_g が $0.1 \mu\text{m}$ 以下のショートチャネルデバイスでも、しきい値電圧の変化が小さく、ショートチャネル効果が十分抑制されている。これは、以下の理由によるものと考えられる。本発明のHDTMOSにおいては、チャネル領域をバンドギャップの小さいSiGeによって構成することにより、Siボディ領域の不純物濃度を高くしてもしきい値電圧を従来のSiホモ接合型DTMOSと同等に保つことができる。したがって、本発明においては、Siボディ領域24における不純物濃度を高くして、空乏層の伸びを抑制することができる

ので、ゲート長の短いHDTMOSにおいても、パンチスルーが抑制され、いわゆるショートチャネル効果が抑制されるからである。

【0043】また、図9を見てもわかるが、ゲート長 L_g を短くし、ゲート幅 W_g を短くすると、ボディ電流 I_b が低減される傾向がある。これは、ボディ電流 I_b はゲート幅 W_g に比例しているためである。したがって、本発明のHDTMOSによると、チャネル領域をバンドギャップの小さいSiGeによって構成することで、ボディ領域の不純物濃度を高くしつつ、短チャネル化を図ることによって、ボディ電流 I_b をより低減し、動作電圧範囲をさらに拡大することができる。

【0044】図12は、本発明のHDTMOSのゲートバイアス-ボディ電流 I_b 、ドレイン電流 I_d 特性のSiGeチャネル領域の不純物濃度依存性を示す図である。同図に示すように、SiGeチャネル領域の不純物濃度が約 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ に達するほどに高い場合には、ドレイン電流 I_d が大きく変化して、しきい値電圧が大きくなっていく。その結果、ドレイン電流 I_d とボディ電流 I_b との差が小さくなり、動作電圧範囲が著しく小さくなる。一方、SiGeチャネル領域の不純物濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 以下であれば、ドレイン電流 I_d の変化が小さくてしきい値電圧の変動も小さく、かつ、ドレイン電流 I_d とボディ電流 I_b との差が十分大きく保たれるので、動作電圧範囲を十分に確保できることがわかる。

【0045】以上の各図に示すシミュレーション結果をまとめると、本発明のSi/SiGe-HDTMOSにおいては、Siボディ領域22の不純物濃度を高く、SiGeチャネル領域24の不純物濃度を低くすることにより、ショートチャネル効果の抑制や、動作電圧範囲の拡大に対して有効であるといえる。

【0046】ただし、Siボディ領域22の不純物濃度が高く、かつ、SiGeチャネル領域24の不純物濃度が低くなるようにHDTMOSを作製するためには、SiGeチャネル領域24を構成するSiGe膜14をエピタキシャル成長させる際や、エピタキシャル成長後のプロセスにおいて、Siボディ領域22内の不純物がSiGeチャネル領域24に拡散しないように工夫することが重要である。

【0047】図13は、本実施形態の変形例に係る拡散防止層を設けたHDTMOSの例を示す断面図である。同図に示すように、この変形例のHDTMOSにおいては、図4に示すHDTMOSの構造に加えて、Siバッファ層13と、SiGe膜14との間に、C（カーボン）を約0.1%含むSi膜18と、スペーサ用Si膜19とが下方から順に積層されている。そして、SiGeチャネル領域24の下方には、Cを約0.1%含むn-Si層28と、低濃度のn型不純物を含むn-Siスペーサ層29とが下方から順に設けられている。

【0048】この変形例によると、Cを0.01%~2%例えば0.1%程度含む n^- Si層28が存在することにより、Siボディ領域22からSiGeチャネル領域24への不純物の拡散が抑制されるので、非常に微細な領域内で、Siボディ領域22の不純物濃度が高く、SiGeチャネル領域24の不純物濃度が低いという急峻な不純物濃度プロファイルを形成することができる。そして、このような急峻な不純物濃度プロファイルを形成することができる結果、上述のような本実施形態のショートチャネル効果の抑制や、動作電圧範囲の拡大という効果をより確実に発揮することができる。

【0049】次に、本実施形態のSi/SiGeヘテロ接合型DTMOSと、従来のSi/SiGeヘテロ接合型MOSFETとの機能の相違について説明する。

【0050】図14は、従来のSi/SiGeヘテロ接合を有するpチャネル型MOSFETの基本的な構造を示す断面図である。同図に示すように、従来のSi/SiGeヘテロ接合を有するMOSFETは、Si基板と、Si基板内に高濃度の不純物を導入して形成された n^+ Si層と、 n^+ Si層の上にエピタキシャル成長された n^- Siバッファ層と、 n^- Siバッファ層の上にエピタキシャル成長された低濃度のn型不純物を含むSiGeチャネル層と、SiGeチャネル層の上にエピタキシャル成長された低濃度のn型不純物を含むSiキャップ層と、Siキャップ層の上に形成されたゲート酸化膜と、ゲート酸化膜の上に形成されたゲート電極と、ゲート電極の側面上に設けられた酸化膜からなるサイドウォールスペーサとを備えている。

【0051】ヘテロ接合を用いない従来のSiホモ接合構造を有するMOSFETにおいては、シリコン層のゲート酸化膜に接する界面領域に生じる反転層をチャネルとして利用する。つまり、キャリアは、シリコン層のゲート酸化膜に接する界面領域を走行する。それに対し、図14に示す従来のSi/SiGeヘテロ接合型MOSFETにおいては、SiGeチャネル層のSiキャップ層に接する界面領域に形成されるチャネルをキャリアが走行する。つまり、従来のSi/SiGeヘテロ接合型MOSFETにおいては、チャネルはゲート酸化膜直下のSiキャップ層から離れた領域に形成される。

【0052】一般的に、Si/SiGeなどのヘテロ接合型MOSFETにおいては次のようなメリットがある。

【0053】第1に、チャネル層にSiGeなどのSiよりもキャリアの移動度が高くなる材料を用いることができるので、トランジスタ動作の高速化が可能である。

【0054】第2に、SiGe-Si間の格子不整合によって生じる歪によるバンド構造の変調を利用して、谷間におけるキャリアの散乱によるキャリア移動度の低下を抑制することができるので、トランジスタ動作の高速化が可能である。

【0055】第3に、ゲート酸化膜に対してSiGeチャネル層が離れているために、ゲート酸化膜-Siキャップ層間の界面のラフネスによるキャリアの散乱が抑制されるので、トランジスタ動作の高速化が可能であるとともに、界面におけるキャリアの散乱による雑音の低減が可能である。

【0056】このように、ヘテロ接合型MOSFETも、将来の高速ロジックデバイスや高周波アナログデバイスとして、有望なデバイスであるが、ヘテロ接合型MOSFETにおいては、寄生チャネルが生じやすいという不具合もある。

【0057】図15(a)、(b)は、一般的なSi/SiGeヘテロ接合型MOSFETの低ゲートバイアス時、高ゲートバイアス時におけるバンド構造を示すエネルギーバンド図である。図15(a)に示すように、ゲートバイアスが小さい状態においては、キャリアは主にSiGe層のヘテロ障壁付近の部分に蓄積されるが、図15に示すように、ゲートバイアスが大きい状態においては、Siキャップ層のゲート酸化膜に接する部分において、価電子帯端のエネルギーレベルが電界によって上昇するので、SiGeチャネル層の他にSiキャップ層のゲート酸化膜に接する部分(上端部)にもキャリアが蓄積される。そして、トランジスタの動作時には、このSiキャップ層の上端部に蓄積されたキャリアも走行するので、寄生チャネルが生じていることになる。そして、図15(b)に示す状態においては、Siキャップ層を走行するキャリアは、従来のMOSFETにおける同様に、ゲート酸化膜による散乱を受けたり、キャリアの移動度の大きいSiGe層を走行する場合に比べると移動度が当然に小さいので、ヘテロ接合型MOSFETの利点であるトランジスタ動作の高速性を十分に発揮することができないことになる。つまり、従来のヘテロ接合型MOSFETにおいては、図15(b)に示すように、ゲートバイアスを高くしていくと、半導体層とゲート電極との電位差が大きくなることから、半導体層のバンドが激しくベンディングすることにより生じる現象である。

【0058】それに対して、本発明のヘテロ接合型DTMOSにおいては、図6に示すように、ゲート電極とSiボディ領域とが電氣的に接続されているため、ゲートバイアスを高くしていても、Siボディ領域とゲート電極との電位差がほぼ一定に保持されるので、キャリアは常にSiGeチャネル領域に蓄積され、寄生チャネルが形成されることはない。よって、ヘテロ接合型MOSFETが本来的に有するトランジスタ動作の高速性という利点を確実に発揮することができる。

【0059】図16は、本発明のSi/SiGe-HD T MOSと、従来のヘテロ接合型SOI MOSFETにおけるヘテロチャネルおよび寄生チャネルそれぞれに蓄積されるピークキャリア濃度の比のゲートバイアス依存

性を示す図である。同図に示すように、本発明の Si / SiGe-HDTMOS においては、高いバイアス条件においても寄生チャネルの形成が抑制されていることがわかる。

【0060】したがって、本発明の HDTMOS は、従来のヘテロ接合型 MOSFET において課題であった寄生チャネルの問題を解決することができる。よって、本発明の HDTMOS は、将来の高速ロジックデバイスや高周波アナログデバイスとして有望なデバイスである。

【0061】なお、本実施形態では、SOI 基板上に形成した HDTMOS について示したが、SOI 基板を用いず、バルク半導体基板を用いた場合にも同様の効果が得られることは言うまでもない。

【0062】また、本発明の HDTMOS は、ゲート電極とボディ領域とのコンタクトを形成する必要がある分だけ従来の MOSFET よりも面積が大きくなるが、駆動電流が大きくなる分、ゲート幅を小さくできるので、トータルとしては微細化に有利な構造であるといえる。

【0063】（第 2 の実施形態）本実施形態では、チャネル領域を構成する材料として SiGe を用いた n チャネルの HDTMOS の実施例について説明する。

【0064】図 17 (a), (b), (c) は、それぞれ順に、本実施形態の HDTMOS の構造を模式的に示す平面図、図 17 (a) で示す VIIb-VIIb 線における断面図、図 17 (a) で示す VIIc-VIIc 線における断面図である。図 17 (a) ~ (c) に示すように、本実施形態の HDTMOS は、p 型の Si 基板 50 と、Si 基板上に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜 51 と、埋め込み酸化膜 51 の上に設けられた半導体層 80 とを有している。半導体層 80 は、SOI 基板の上部を構成する上部 Si 膜 52 と、上部 Si 膜 52 の上に UHV-CVD 法によりエピタキシャル成長された Si バッファ層 53 と、Si バッファ層 53 の上に UHV-CVD 法によりエピタキシャル成長された SiGe 膜 54 と、SiGe 膜 54 の上に UHV-CVD 法によりエピタキシャル成長された Si 膜 55 とから構成されている。さらに、HDTMOS は、Si 膜 55 の上に設けられたシリコン酸化膜からなるゲート絶縁膜 56 と、ゲート絶縁膜 56 の上に設けられたゲート電極 57 とを備えている。そして、半導体層 52、つまり上部 Si 膜 52、Si バッファ層 53、SiGe 膜 54 及び Si 膜 55 のうちゲート電極 57 の両側方に位置する領域には高濃度の n 型不純物を含むソース領域 60a 及びドレイン領域 60b が設けられている。また、上部 Si 膜 52 のうちソース領域 60a とドレイン領域 60b との間の領域は、高濃度の p 型不純物を含む Si ボディ領域 62 となっており、Si バッファ層 53 のうち Si ボディ領域 62 の直上に位置する領域は、低濃度の p 型不純物を含む p-Si 領域 63 となっている。そ

して、SiGe 膜 54 のうちソース領域 60a とドレイン領域 60b との間の領域は、比較的低濃度の p 型不純物を含む SiGe チャネル領域 64 となっており、Si 膜 55 のうちゲート絶縁膜 56 の直下に位置する領域は低濃度の p 型不純物を含む Si キャップ層 65 となっている。また、ゲート電極 57 とボディ領域 62 とを電気的に接続する導体部材であるコンタクト 66 が設けられている。

【0065】また、図 18 は、本実施形態の HDTMOS の構造をさらに詳細に示す断面図である。ここで、埋め込み酸化膜 51 の厚さは約 100 nm であり、上部 Si 膜 52 の厚みは約 100 nm であり、Si バッファ層 53 の厚みは約 10 nm であり、SiGe 膜 54 の厚みは約 15 nm であり、Si 膜 55 の厚みは約 5 nm である。Si ボディ領域 62 には、Si バッファ層 53 のエピタキシャル成長の前に、濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の p 型不純物（例えばボロン）がイオン注入により導入されている。p-Si 領域 63 には、in-situ ドープにより濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の p 型不純物（たとえばボロン）が導入されている。SiGe チャネル領域 64 の Ge 含有率は約 40% であり、SiGe チャネル領域 64 には、in-situ ドープにより濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の p 型不純物（例えばボロン）が導入されている。また、Si キャップ層 65 には、in-situ ドープにより濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の低濃度の p 型不純物（例えばボロン）が導入されている。ゲート絶縁膜 56 は、Si 膜 55 を熱酸化することにより形成されたものである。ゲート電極 57 には、濃度が約 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ の n 型不純物（例えばヒ素又はリン）がドープされている。なお、ゲート電極 57 の側面上には、シリコン酸化膜からなるサイドウォール 67 が設けられている。

【0066】図 19 は、Si キャップ層 65、SiGe チャネル領域 64 及び p-Si 領域 63 を通過する断面におけるバンドアライメントを示すエネルギーバンド図である。バンドオフセットが主として価電子帯に形成される Si / SiGe ヘテロ接合部においても、Si 層と SiGe 層とを p 型にドーピングしておくことにより、伝導帯端にバンドの飛びによるポテンシャルのくぼみが生じるので、電子を SiGe チャネル領域 64 に閉じ込めることが可能となる。

【0067】図 20 は、ゲート電極 57、ゲート絶縁膜 56、Si キャップ層 65、SiGe チャネル領域 64、p-Si 層 63 及び Si ボディ領域 62 を通過する断面におけるビルトインバンド構造を示すエネルギーバンド図である。同図に示すように、ゲート電極 57 に n 型不純物をドーピングしておくことにより、バイアスが印加されていない状態で、SiGe チャネル領域 64 の Si キャップ層 65 に接する部分の価電子帯端のエネルギーが特に低くなり、電子の閉じこめに適した凹部が形成さ

れる。そして、ゲート電極 57 と Si ボディ領域 62 とが電氣的に接続された状態で、ゲート電極 57 にゲートバイアス電圧が印加されても、ゲート電極 57 と Si ボディ領域 62 とはほぼ同じ電位に維持されるので、図 20 に示すバンド形状は変わることなく、全体のポテンシャルがソース・ドレイン領域に対して変化するだけである。したがって、通常の MOSFET において Si キャップ層 65 のゲート絶縁膜 56 に接する部分に生じる反転層は、本実施形態の n チャネル型 HDTMOS においても生じることがない。その結果、SiGe チャネル領域 64 とは別の部分に生じる、いわゆる寄生チャネルの発生を有効に防止することができ、上記第 1 の実施形態と同じ効果を発揮することができるのである。

【0068】図 21 は、本発明の HDTMOS と上記従来の Si ホモ接合型 DT MOS とでしきい値電圧を等しくするために、ボディ領域の不純物濃度 p_b をそれぞれ調整したときのドレイン電流 I_d 、ボディ電流 I_b のゲートバイアス依存性をシミュレーションした結果を示す図である。同図の太い破線は従来の DT MOS のドレイン電流 I_d を示し、細い破線は従来の DT MOS のボディ電流 I_b を示し、太い実線は本発明の HDTMOS のドレイン電流 I_d を示し、細い実線は本発明の HDTMOS のボディ電流 I_b を示す。このシミュレーションは、ドレイン電流 I_d 、ボディ電流 I_b 共に、ゲート長が $0.5 \mu m$ 、ゲート絶縁膜の厚み T_{ox} が $10 nm$ であるとして得られたものである。ただし、本発明の Si / SiGe-HDTMOS における Si ボディ領域の不純物濃度 p_b は $1 \times 10^{19} atoms \cdot cm^{-3}$ で、従来の Si ホモ接合型 DT MOS のボディ領域の不純物濃度 p_b は $2 \times 10^{17} cm^{-3}$ としている。また、本発明 HDTMOS の SiGe チャネル領域における不純物濃度は、約 $1 \times 10^{17} atoms \cdot cm^{-3}$ である。

【0069】同図に示すように、本発明の HDTMOS と従来の DT MOS とでドレイン電流 I_d のゲートバイアス依存性をほぼ等しくした場合、本発明の HDTMOS においてはボディ電流 I_b が実用上問題となる値に達するゲートバイアス値が、従来の DT MOS における値よりも約 $0.2 V$ だけ高くなる。つまり、本発明の HDTMOS によると、チャネル領域をバンドギャップの小さい SiGe によって構成することで、不純物濃度の調整により、約 $0.2 V$ だけ動作電圧範囲が拡大する。したがって、しきい値電圧を低くすることによる低電圧化と、しきい値電圧はあまり変えずにボディ電流を抑制することによる低消費電力化とのいずれかを選択することができる。

【0070】（第 3 の実施形態）本実施形態では、チャネル領域を構成する材料として SiGe を用いた相補型 HDTMOS の実施例について説明する。

【0071】図 22 は、本実施形態の相補型 HDTMOS の構造を示す断面図である。同図に示すように、本実

施形態の HDTMOS は、p 型の Si 基板 10 と、Si 基板に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜 11 と、埋め込み酸化膜 11 の上に設けられた p チャネル型 HDTMOS (p-DT MOS) 用の半導体層 30 と、埋め込み酸化膜 11 の上に設けられた n チャネル型 HDTMOS (n-DT MOS) 用の半導体層 80 とを有している。半導体層 30、80 は、すでに説明した第 1、第 2 の実施形態における各膜によって構成されている。また、HDTMOS は、半導体層 30、80 の上にそれぞれ設けられたシリコン酸化膜からなるゲート絶縁膜 16、56 と、ゲート絶縁膜 16、56 の上にそれぞれ設けられたゲート電極 17、57 と、ゲート電極 17、57 の側面上にそれぞれ設けられたサイドウォール 18、58 とを備えている。そして、半導体層 30 のうちゲート電極 17 の両側方に位置する領域には高濃度の p 型不純物を含むソース領域 20a 及びドレイン領域 20b が設けられている。また、半導体層 80 のうちゲート電極 57 の両側方に位置する領域には高濃度の n 型不純物を含むソース領域 60a 及びドレイン領域 60b が設けられている。また、半導体層 30 のうちソース・ドレイン領域 20a、20b 間に位置する領域には、高濃度の n 型不純物を含む Si ボディ領域 22 と、低濃度の n 型不純物を含む n-Si 領域 23 と、低濃度の n 型不純物を含む SiGe チャネル領域 24 と、低濃度の n 型不純物を含む Si キャップ層 25 とが設けられている。また、半導体層 80 のうちソース・ドレイン領域 60a、60b 間に位置する領域には、高濃度の p 型不純物を含む Si ボディ領域 62 と、低濃度の p 型不純物を含む p-Si 領域 63 と、低濃度の p 型不純物を含む SiGe チャネル領域 64 と、低濃度の p 型不純物を含む Si キャップ層 65 とが設けられている。

【0072】さらに、基板上には、層間絶縁膜 90 と、層間絶縁膜 90 を貫通してソース・ドレイン領域 20a、20b、60a、60b に接触するコンタクト（図示せず）と、コンタクトに接続されて層間絶縁膜 90 の上に延びるソース・ドレイン電極 92 とが設けられている。

【0073】ここで、埋め込み酸化膜 11 や半導体層を構成する各部の成分、厚さ、不純物濃度などは、上記第 1、第 2 の実施形態と同じである。

【0074】本実施形態の相補型 HDTMOS の製造工程においては、SOI 基板の一部である上部 Si 膜は、結晶成長前にあらかじめイオン注入により濃度が約 $1 \times 10^{19} atoms \cdot cm^{-3}$ の不純物がドーピングされた n+ Si 層 (p-DT MOS 領域) と p+ Si 層 (n-DT MOS 領域) とになっており、UHV-CVD 法によりエピタキシャル成長された Si バッファ層、SiGe チャネル領域、Si キャップ層は、いずれも as-grown の状態では、不純物がドーピングされていないアンドープ層

となっている。この時、Si バッファ層の厚みは 10 nm であり、SiGe チャネル層の厚みは 15 nm であり、Si キャップ層の厚みは 5 nm である。また、SiGe チャネル領域における Ge 含有率は 40% である。SiGe 膜、Si キャップ層の結晶成長が終了した後、n-DTMOS 領域の SiGe チャネル領域付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の p 型不純物がイオン注入によりドーピングされる。また、p-DTMOS 領域の SiGe チャネル領域の付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の n 型不純物がイオン注入によりドーピングされる。ただし、SiGe 膜、Si キャップ層はアンダーレイヤーでもよい。そして、最上層の Si キャップ層を熱酸化することにより得られるシリコン酸化膜をゲート絶縁膜とし、その上には高濃度の n 型不純物がドーピングされたポリシリコンからなる n+ 型のゲート電極と、高濃度の p 型不純物がドーピングされたポリシリコンからなる p+ 型のゲート電極とが形成される。その後、各ゲート電極の両側には、高濃度の n 型不純物がイオン注入された n+ 型のソース・ドレイン領域と、高濃度の p 型不純物がドーピングされた p+ 型のソース・ドレイン領域とが形成され、その上方にソース電極・ドレイン電極がそれぞれ形成される。また、ゲート電極と Si ボディ領域とがコンタクトによって接続されて、HDTMOS 構造が得られる。

【0075】このような、製造方法を用いることで、簡単な製造方法で、高性能の HDTMOS を用いた CMOS デバイスを作製することができる。

【0076】本実施形態では、チャネル領域を SiGe により構成したが、チャネル領域を C (カーボン) の含有率が 0.01%~2% (例えば約 0.1%) である $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ により構成してもよい。SiGe 結晶はイオン注入によって結晶構造の好ましくない変化を引き起こす傾向が強いが、チャネル領域を $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ によって構成することにより、イオン注入に起因する結晶構造の好ましくない変化を抑制することができる。

【0077】図 23 は、本実施形態の変形例であるチャネル領域を $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ によって構成した相補型の HDTMOS の断面図である。同図に示す構造は、p-DTMOS、n-DTMOS において、図 22 に示す SiGe 膜に代えて SiGeC 膜を設け、SiGe チャネル領域 24、64 に代えて SiGeC チャネル領域 29、69 を設けたものである。その他の部分の構造は、図 22 に示す相補型 HDTMOS の構造と同じである。

【0078】図 22 に示す構造においては、チャネル領域が SiGe により構成されているので、イオン注入に伴い生じる歪を緩和するために SiGe 結晶の格子緩和を起こしたり、不純物の拡散が増殖されたりするおそれがあるが、チャネル領域を SiGeC によって構成した

場合には、格子緩和が抑制され、不純物の増殖拡散も抑制されるので、イオン注入に起因する結晶構造の好ましくない変化を抑制することができる。これは、C 原子が、格子緩和や不純物の増殖拡散の原因となる原子空孔を埋めるからと考えられる。

【0079】ただし、本変形例において、チャネル領域に C が含まれている必要はなく、チャネル領域の上方又は下方に C を含む層を設けることにより、本変形例と同じ効果を得ることができる。特に、チャネル領域の近くに高濃度ドーピング層が存在する場合には、高濃度ドーピング層とチャネル領域との間に C を含む層を設けることが好ましい。

【0080】(第 4 の実施形態) 次に、n チャネル型 HDTMOS のチャネル領域を $\text{Si}_{1-y}\text{C}_y$ により構成した例である第 4 の実施形態について説明する。

【0081】図 24 は、Si/SiGe ヘテロ接合部のエネルギーバンド図である。同図に示すように、Si/SiGe ヘテロ接合を利用した場合には、価電子帯端には大きなバンドオフセット部 (ヘテロ障壁) が生じるものの、伝導帯端にはほとんどバンドオフセット部 (ヘテロ障壁) が現れない。このために、n チャネル型 HDTMOS を構成しようとする、第 2 の実施形態のごとく不純物濃度の調整により、電子を閉じこめるためのくぼみを形成する必要があった。しかし、SiGe 以外の化合物半導体を用いることで、伝導帯端側にバンドオフセット部 (ヘテロ障壁) が現れるような構成を実現することは可能である。

【0082】図 25 は、Si/SiC ($\text{Si}_{1-y}\text{C}_y : y \approx 0.02$) ヘテロ接合部のエネルギーバンド図である。同図に示すように、Si/SiC ($\text{Si}_{1-y}\text{C}_y : y \approx 0.02$) ヘテロ接合を利用した場合には、伝導帯端に大きなバンドオフセット部 (ヘテロ障壁) が生じるので、これを利用して電子を閉じこめるのに適した n チャネルを形成することができる。

【0083】図 26 は、本実施形態の n チャネル型 HDTMOS の断面図である。同図に示すように、本実施形態の HDTMOS は、p 型の Si 基板 110 と、Si 基板に酸素イオンを注入する方法により形成された埋め込み酸化膜 111 と、埋め込み酸化膜 111 の上に設けられた半導体層 180 とを有している。半導体層 180 は、SOI 基板の上部を構成する上部 Si 膜 152 と、上部 Si 膜 152 の上に UHV-CVD 法によりエピタキシャル成長された Si バッファ層 153 と、Si バッファ層 153 の上に UHV-CVD 法によりエピタキシャル成長された SiC ($\text{Si}_{1-y}\text{C}_y : y \approx 0.02$) 膜 154 と、SiC 膜 154 の上に UHV-CVD 法によりエピタキシャル成長された Si 膜 155 とから構成されている。さらに、HDTMOS は、Si 膜 155 の上に設けられたシリコン酸化膜からなるゲート絶縁膜 156 と、ゲート絶縁膜 156 の上に設けられたゲート電極 157 と、ゲート電極 157 の下に設けられた

ト電極 157 とを備えている。そして、半導体層 180、つまり上部 Si 膜 152、Si バッファ層 153、SiC 膜 154 及び Si 膜 155 のうちゲート電極 157 の両側方に位置する領域には高濃度の n 型不純物を含むソース領域 160a 及びドレイン領域 160b が設けられている。また、上部 Si 膜 152 のうちソース領域 160a とドレイン領域 160b との間の領域は、高濃度の p 型不純物を含む Si ボディ領域 162 となっており、Si バッファ層 153 のうち Si ボディ領域 162 の直上に位置する領域は、低濃度の p 型不純物を含む p-Si 領域 163 となっている。そして、SiC 膜 154 のうちソース領域 160a とドレイン領域 160b との間の領域は、比較的低濃度の p 型不純物を含む SiC チャンネル領域 164 となっており、Si 膜 155 のうちゲート絶縁膜 156 の直下に位置する領域は低濃度の p 型不純物を含む Si キャップ層 165 となっている。また、ゲート電極 157 と Si ボディ領域 162 とを電気的に接続する導体部材であるコンタクト（図示せず）とが設けられ、ゲート電極 157 の側面上にはシリコン酸化膜からなるサイドウォール 167 が設けられている。

【0084】ここで、埋め込み酸化膜 111 の厚さは約 100 nm であり、上部 Si 膜 152 の厚みは約 100 nm であり、Si バッファ層 153 の厚みは約 10 nm であり、SiC 膜 154 の厚みは約 15 nm であり、Si 膜 155 の厚みは約 5 nm である。Si ボディ領域 162 には、Si バッファ層 153 のエピタキシャル成長の前に、濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の p 型不純物（例えばボロン）がイオン注入により導入されている。p-Si 領域 163 には、低濃度の p 型不純物（たとえばボロン）が導入されている。SiC チャンネル領域 164 の C 含有率は約 2% であり、SiC チャンネル領域 164 には、低濃度の p 型不純物（例えばボロン）が導入されている。また、Si キャップ層 165 には、低濃度の p 型不純物（例えばボロン）が導入されている。ゲート絶縁膜 156 は、Si 膜 155 を熱酸化することにより形成されたものである。ゲート電極 157 には、濃度が約 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ の n 型不純物（例えばヒ素又はリン）がドーピングされている。

【0085】本実施形態によると、チャンネル領域を Si よりもバンドギャップが小さくかつ電子親和力が Si よりも大きい Si_{1-y}Cy （本実施形態では $y=0.02$ ）によって構成することにより、図 25 に示すように、電子の閉じ込めに対して有利なヘテロ構造が得られる。その結果、Si/SiC ヘテロ接合を有する n チャンネル型 HDTMOS が可能となるとともに、ボディ領域の不純物濃度を高くしてもしきい値電圧を Si ホモ接合型 DTMOS と同等に保つことができる。また、本発明の Si/SiC-HDTMOS によると、上記第 1、第 2 の実施形態と同様に、ボディ電流 I_b （ゲート電流）が小さく抑えられ、動作電圧範囲が拡大される。

【0086】さらに、チャンネル領域を構成する Si_{1-y}Cy は、C の含有率が 5% 程度を越えない範囲においては、シリコンに比べて格子定数が小さく、Si 層の上にエピタキシャル成長されると引っ張り歪を受けた状態となっている。そして、引っ張り歪を受けることにより、バンドが変調されて電子、ホール共に移動度が向上するため、さらにトランジスタの高速動作が可能となる。

【0087】なお、第 2 の実施形態において、不純物濃度を調整することにより、Si/SiGe 接合部の伝導帯端に電子を閉じこめることが可能なくぼみを形成し、これを利用した n チャンネル型 HDTMOS について説明したが、同様に、不純物濃度を調整することにより、Si/SiC 接合部の価電子帯端にくぼみを形成することができる。そして、この Si/SiC ヘテロ接合部を利用して、価電子帯端のくぼみをホールが走行する p チャンネル型 HDTMOS を構成することが可能である。

【0088】（第 5 の実施の形態）次に、チャンネル領域を SiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$) により構成した相補型 HDTMOS の例である第 5 の実施形態について説明する。

【0089】図 27 は、Si/SiGeC ヘテロ接合部におけるバンド構造を示すエネルギーバンド図である。Si/SiGeC ヘテロ接合部においては、バンドオフセット（ヘテロ障壁）は図 24 に示すごとくホールの閉じ込めに有利な価電子帯端に主にあらわれ、Si/SiC ヘテロ接合部においては、バンドオフセット（ヘテロ障壁）は図 25 に示すごとく電子の閉じ込めに有利な伝導帯端に主にあらわれる。それに対し、Si/SiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$) ヘテロ接合部においては、Ge, C の含有率 x, y を適宜調整することにより、伝導帯端、価電子帯端の両方にバンドオフセット（ヘテロ障壁）が形成される。すなわち、単一の SiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$) 層を利用して、電子が SiGeC 層内に閉じ込められて SiGeC 層内を走行する n チャンネルと、ホールが SiGeC 層内に閉じ込められて SiGeC 層内を走行する p チャンネルとを形成することが可能となる。

【0090】図 28 は、本実施形態の HDTMOS の構造を示す断面図である。同図に示すように、本実施形態の HDTMOS は、p 型の Si 基板 210 と、Si 基板に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜 211 と、埋め込み酸化膜 211 の上に設けられた p チャンネル型 HDTMOS（p-DTMOS）用の半導体層 230 と、埋め込み酸化膜 211 の上に設けられた n チャンネル型 HDTMOS（n-DTMOS）用の半導体層 280 とを有している。半導体層 230、280 は、それぞれ同時に形成された共通の膜によって構成されている。

【0091】半導体層 230、280 は、SOI 基板の上部を構成する上部 Si 膜 212 と、上部 Si 膜 212

の上にUHV-CVD法によりエピタキシャル成長されたSiバッファ層213と、Siバッファ層213の上にUHV-CVD法によりエピタキシャル成長されたSiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$: $x \approx 0.1$, $y \approx 0.04$) 膜214と、SiGeC膜214の上にUHV-CVD法によりエピタキシャル成長されたSi膜215とから構成されている。ここで、埋め込み酸化膜211の厚さは約100nmであり、上部Si膜212の厚みは約100nmであり、Siバッファ層213の厚みは約10nmであり、SiGeC膜214の厚みは約15nmであり、Si膜215の厚みは約5nmである。

【0092】さらに、p-DTMOSは、Si膜215の上に設けられたシリコン酸化膜からなるゲート絶縁膜216と、ゲート絶縁膜216の上に設けられたゲート電極217とを備えている。そして、半導体層230のうちゲート電極217の両側方に位置する領域には高濃度のp型不純物を含むソース領域220a及びドレイン領域220bが設けられている。また、上部Si膜212のうちソース領域220aとドレイン領域220bとの間の領域は、高濃度 (約 $1 \times 10^{10} \text{ atoms} \cdot \text{cm}^{-3}$) のn型不純物を含むSiボディ領域222となっており、Siバッファ層213のうちSiボディ領域222の直上に位置する領域は、低濃度のn型不純物を含むn-Si領域223となっている。そして、SiGeC膜214のうちソース領域220aとドレイン領域220bとの間の領域は、比較的低濃度 (約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$) のn型不純物を含むSiGeCチャネル領域224となっており、Si膜215のうちゲート絶縁膜216の直下に位置する領域は低濃度のn型不純物を含むSiキャップ層225となっている。また、ゲート電極217とSiボディ領域222とを電気的に接続する導体部材であるコンタクト (図示せず) とが設けられ、ゲート電極217の側面上にはシリコン酸化膜からなるサイドウォール227が設けられている。

【0093】また、n-DTMOSは、Si膜215の上に設けられたシリコン酸化膜からなるゲート絶縁膜256と、ゲート絶縁膜256の上に設けられたゲート電極257とを備えている。そして、半導体層280のうちゲート電極257の両側方に位置する領域には高濃度のn型不純物を含むソース領域260a及びドレイン領域260bが設けられている。また、上部Si膜212のうちソース領域260aとドレイン領域260bとの間の領域は、高濃度 (約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$) のp型不純物を含むSiボディ領域262となっており、Siバッファ層213のうちSiボディ領域262の直上に位置する領域は、低濃度のp型不純物を含むp-Si領域226となっている。そして、SiGeC膜214のうちソース領域260aとドレイン領域260bとの間の領域は、比較的低濃度 (約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$) のp型不純物を含むSiGeCチャネル領域264となっており、Si膜215のうちゲート絶縁膜256の直下に位置する領域は低濃度のp型不純物を含むSiキャップ層265となっている。また、ゲート電極257とSiボディ領域262とを電気的に接続する導体部材であるコンタクト (図示せず) とが設けられ、ゲート電極257の側面上にはシリコン酸化膜からなるサイドウォール267が設けられている。

【0094】さらに、基板上には、層間絶縁膜290と、層間絶縁膜290を貫通してソース・ドレイン領域220a, 220b, 260a, 260bに接触するコンタクト291と、コンタクト291に接続されて層間絶縁膜290の上に延びるソース・ドレイン電極292とが設けられている。

【0095】本実施形態の相補型HDTMOSの製造工程においては、SOI基板の一部である上部Si膜は、結晶成長前にあらかじめイオン注入により濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の不純物がドーピングされたn+ Si層 (p-DTMOS領域) とp+ Si層 (n-DTMOS領域) とになっており、UHV-CVD法によりエピタキシャル成長されたSiバッファ層、SiGeC膜、Siキャップ層は、いずれもas-grownの状態では、不純物がドーピングされていないアンドープ層となっている。SiGeC膜、Siキャップ層の結晶成長が終了した後に、n-DTMOS領域のSiGeCチャネル領域付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のp型不純物がイオン注入によりドーピングされる。また、p-DTMOS領域のSiGeCチャネル領域の付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のn型不純物がイオン注入によりドーピングされる。そして、最上層のSi膜を熱酸化することにより得られるシリコン酸化膜をゲート絶縁膜とし、その上には高濃度のn型不純物がドーピングされたポリシリコンからなるn+型ゲート電極と、高濃度のp型不純物がドーピングされたポリシリコンからなるp+型ゲート電極とが形成される。その後、各ゲート電極の両側には、高濃度のn型不純物がイオン注入されたn+型ソース・ドレイン領域と、高濃度のp型不純物がドーピングされたp+型ソース・ドレイン領域とが形成され、その上方にソース電極・ドレイン電極がそれぞれ形成される。また、ゲート電極とSiボディ領域とがコンタクトによって接続されて、HDTMOS構造が得られる。

【0096】本実施形態によると、チャネル領域をSiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$) によって構成することにより、単一のSiGeC ($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$) 層を利用して、電子がSiGeC層内に閉じ込められてSiGeC層内を走行するnチャネルと、ホールがSiGeC層内に閉じ込められてSiGeC層内を走行するpチャネルとを形成することが可能となり、Si/SiGeCヘテロ接合を有する相補型のHDTMOSを実現することができる。その場合、第1の実施形態において説

明したように、HDTMOS構造においては、従来のヘテロ接合を用いたMOSFETで発生しやすい寄生チャネルがほとんど生じることがない。したがって、SiGeCによって構成されるチャネル領域を有するHDTMOSにおいて、バンドオフセット値（ヘテロ障壁の高さ）が多少小さくても、寄生チャネルによるトランジスタ動作の低速化などの不具合を招くことなく、ヘテロ接合構造を利用した高速で電流駆動力の大きいトランジスタを得ることができる。

【0097】また、上述のような製造法を用いることにより、簡単な製造方法で、高性能の相補型HDTMOSを作製することができる。

【0098】本実施形態においては、相補型のHDTMOSについて説明したが、本発明は本実施形態に限定されるものではなく、Si/SiGeCヘテロ接合部を有するnチャネル型HDTMOSやpチャネル型HDTMOSのみを備えた半導体装置を設けることができることは言うまでもない。

【0099】（第6の実施形態）次に、Si/SiGe/SiCヘテロ接合を有する相補型HDTMOSの例である第6の実施形態について説明する。本実施形態においては、pチャネル用のチャネル領域をSi/SiGeヘテロ接合部により構成し、nチャネル用のチャネル領域をSiGe/SiCヘテロ接合部により構成する。

【0100】図29は、Si/SiGe/SiCヘテロ接合部におけるバンド構造を示すエネルギーバンド図である。同図に示すように、Si/SiGeヘテロ接合部には、価電子帯端に大きなバンドオフセット（ヘテロ障壁）が形成されるので、SiGe層をpチャネル用のチャネル領域として利用することができる。一方、SiGe/SiCヘテロ接合部には、伝導帯端に大きなバンドオフセット（ヘテロ障壁）が形成されるので、SiC層をnチャネル用のチャネル領域として利用することができる。このように、電子、正孔それぞれに対して、最もバンドオフセット値（ヘテロ障壁の高さ）が大きくなるヘテロ接合構造を用いることにより、nチャネル、pチャネル両方において、ヘテロ接合の特徴を十分に引き出すことができる。

【0101】図30は、本実施形態の相補型HDTMOSの構造を示す断面図である。同図に示すように、本実施形態のHDTMOSは、p型のSi基板310と、Si基板に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜311と、埋め込み酸化膜311の上に設けられたpチャネル型HDTMOS（p-DTMOS）用の半導体層330と、埋め込み酸化膜311の上に設けられたnチャネル型HDTMOS（n-DTMOS）用の半導体層380とを有している。半導体層330、380は、それぞれ同時に形成された共通の膜によって構成されている。

【0102】半導体層330、380は、SOI基板の

上部を構成する上部Si膜312と、上部Si膜312の上にUHV-CVD法によりエピタキシャル成長されたSiバッファ層313と、Siバッファ層313の上にUHV-CVD法によりエピタキシャル成長されたSiC（Si_{1-y}C_y：y≒0.015）膜314aと、SiC膜314aの上にUHV-CVD法によりエピタキシャル成長されたSiGe膜314bと、SiGe膜314bの上にUHV-CVD法によりエピタキシャル成長されたSi膜315とから構成されている。ここで、埋め込み酸化膜311の厚さは約100nmであり、上部Si膜312の厚みは約100nmであり、Siバッファ層313の厚みは約10nmであり、SiC膜314aの厚みは約15nmであり、SiGe膜314bの厚みは約15nmであり、Si膜315の厚みは約5nmである。

【0103】さらに、p-DTMOSは、Si膜315の上に設けられたシリコン酸化膜からなるゲート絶縁膜316と、ゲート絶縁膜316の上に設けられたゲート電極317とを備えている。そして、半導体層330のうちゲート電極317の両側方に位置する領域には高濃度のp型不純物を含むソース領域320a及びドレイン領域320bが設けられている。また、上部Si膜312のうちソース領域320aとドレイン領域320bとの間の領域は、高濃度（約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ ）のn型不純物を含むSiボディ領域322となっており、Siバッファ層313のうちSiボディ領域322の直上に位置する領域は、低濃度のn型不純物を含むn-Si領域323となっている。そして、SiGe膜314a、SiC膜314bのうちソース領域320aとドレイン領域320bとの間の領域は、比較的低濃度（約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ ）のn型不純物を含むSiCチャネル領域324a、SiGeチャネル領域324bとなっており、Si膜315のうちゲート絶縁膜316の直下に位置する領域は低濃度のn型不純物を含むSiキャップ層325となっている。また、ゲート電極317とSiボディ領域322とを電気的に接続する導体部材であるコンタクト（図示せず）とが設けられ、ゲート電極317の側面上にはシリコン酸化膜からなるサイドウォール327が設けられている。

【0104】また、n-DTMOSは、Si膜315の上に設けられたシリコン酸化膜からなるゲート絶縁膜356と、ゲート絶縁膜356の上に設けられたゲート電極357とを備えている。そして、半導体層380のうちゲート電極357の両側方に位置する領域には高濃度のn型不純物を含むソース領域360a及びドレイン領域360bが設けられている。また、上部Si膜312のうちソース領域360aとドレイン領域360bとの間の領域は、高濃度（約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ ）のp型不純物を含むSiボディ領域362となっており、Siバッファ層313のうちSiボディ領域362の直

上に位置する領域は、低濃度のp型不純物を含むp-Si領域326となっている。そして、SiGe膜314a、SiC膜314bのうちソース領域360aとドレイン領域360bとの間の領域は、比較的低濃度(約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$)のp型不純物を含むSiCチャンネル領域324a、SiGeチャンネル領域324bとなっており、Si膜315のうちゲート絶縁膜356の直下に位置する領域は低濃度のp型不純物を含むSiキャップ層365となっている。また、ゲート電極357とSiボディ領域362とを電気的に接続する導体部材であるコンタクト(図示せず)とが設けられ、ゲート電極357の側面上にはシリコン酸化膜からなるサイドウォール367が設けられている。

【0105】さらに、基板上には、層間絶縁膜390と、層間絶縁膜390を貫通してソース・ドレイン領域320a、320b、360a、360bに接触するコンタクト391と、コンタクト391に接続されて層間絶縁膜390の上に延びるソース・ドレイン電極392とが設けられている。

【0106】本実施形態の相補型HDTMOSの製造工程においては、SOI基板の一部である上部Si膜は、結晶成長前にあらかじめイオン注入により濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の不純物がドーピングされたn+ Si層(p-DTMOS領域)とp+ Si層(n-DTMOS領域)とになっており、UHV-CVD法によりエピタキシャル成長されたSiバッファ層、SiC膜、SiGe膜、Siキャップ層は、いずれもas-grownの状態では、不純物がドーピングされていないアンドープ層となっている。SiC膜、SiGe膜、Siキャップ層の結晶成長が終了した後に、n-DTMOS領域のチャンネル領域付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のp型不純物がイオン注入によりドーピングされる。また、p-DTMOS領域のチャンネル領域の付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のn型不純物がイオン注入によりドーピングされる。ただし、各チャンネル領域には不純物がドーピングされていなくてもよい。

【0107】そして、最上層のSiキャップ層を熱酸化することにより得られるシリコン酸化膜をゲート絶縁膜とし、その上には高濃度のn型不純物がドーピングされたポリシリコンからなるn+型ゲート電極と、高濃度のp型不純物がドーピングされたポリシリコンからなるp+型ゲート電極とが形成される。その後、各ゲート電極の両側には、高濃度のn型不純物がイオン注入されたn+型ソース・ドレイン領域と、高濃度のp型不純物がドーピングされたp+型のソース・ドレイン領域とが形成され、その上方にソース電極・ドレイン電極がそれぞれ形成される。また、ゲート電極とSiボディ領域とがコンタクトによって接続されて、DTMOS構造が得られる。

【0108】本実施形態によると、チャンネル領域をSi/SiGe/SiCヘテロ接合部によって構成すること

により、価電子帯端に大きなバンドオフセット(ヘテロ障壁)が形成されるSi/SiGeヘテロ接合部に近接するSiGe層をpチャンネル用のチャンネル領域として、伝導帯端に大きなバンドオフセット(ヘテロ障壁)が形成されるSiGe/SiCヘテロ接合部に近接するSiC層をnチャンネル用のチャンネル領域として、それぞれ利用することができる。そして、電子、正孔それぞれに対して、最もバンドオフセット値(ヘテロ障壁の高さ)が大きくなるヘテロ接合構造を用いることにより、nチャンネル、pチャンネル両方において、ヘテロ接合の特徴を十分に引き出すことができる。その場合、第1の実施形態において説明したように、HDTMOS構造においては、従来のヘテロ接合を用いたMOSFETで発生しやすい寄生チャンネルがほとんど生じることがない。したがって、SiGe、SiCによって構成されるチャンネル領域を有するHDTMOSにおいて、バンドオフセット値(ヘテロ障壁の高さ)が多少小さくても、寄生チャンネルによるトランジスタ動作の低速化などの不具合を招くことなく、ヘテロ接合構造を利用した高速で電流駆動力の大きいトランジスタを得ることができる。

【0109】また、上述のような製造方法を用いることにより、簡単な製造方法で、高性能のヘテロ接合部を有する相補型TMOSを形成することができる。

【0110】次に、図31は、Si/SiGe接合部と、Si/SiC接合部とを有する本実施形態の変形例における相補型のHDTMOSのバンド構造を示すエネルギーバンド図である。この場合、図30に示す構造において、SiC膜314aとSiGe膜314bとの間にSi膜を介在させればよいことになる。このような構造によっても、上述のような本実施形態の効果を発揮することができる。

【0111】(第7の実施形態) 次に、pチャンネルをSi/SiGe接合部のヘテロ障壁を利用し、nチャンネルをSi/SiGe接合部の不純物濃度の調整によるバンドオフセットを使用した相補型ヘテロCMOSデバイスの例である第7の実施形態について説明する。本実施形態においては、ゲート電極とボディ領域とは接合されておらず、一般的なMISFET構造を有していることが前提である。

【0112】図32は、本実施形態のCMOSデバイスの構造を示す断面図である。同図に示すように、本実施形態のCMOSデバイスは、p型のSi基板410と、Si基板410の上に設けられたpチャンネル型MOSFET(p-MOSFET)用の半導体層430、nチャンネル型MOSFET(n-MOSFET)用の半導体層480とを有している。ここで、半導体層430、480は、それぞれ同時に形成された共通の膜によって構成されている。

【0113】半導体層430、480は、Si基板410の上部に形成された上部Si層412と、上部Si層

10

20

30

40

50

412の上にUHV-CVD法によりエピタキシャル成長されたSiバッファ層413と、Siバッファ層413の上にUHV-CVD法によりエピタキシャル成長されたSiGe膜414と、SiGe膜414の上にUHV-CVD法によりエピタキシャル成長されたSi膜415とから構成されている。ここで、上部Si層412の厚みは約50nmであり、Siバッファ層413の厚みは約10nmであり、SiGe膜414の厚みは約15nmであり、Si膜415の厚みは約5nmである。

【0114】そして、p-MOSFETは、Si膜415の上に設けられたシリコン酸化膜からなるゲート絶縁膜416と、ゲート絶縁膜416の上に設けられたゲート電極417とを備えている。そして、半導体層430のうちゲート電極417の両側方に位置する領域には高濃度のp型不純物を含むソース領域420a及びドレイン領域420bが設けられている。また、上部Si層412のうちソース領域420aとドレイン領域420bとの間の領域は、高濃度(約 $1 \times 10^{10} \text{ atoms} \cdot \text{cm}^{-3}$)のn型不純物を含むSiボディ領域422となっており、Siバッファ層413のうちSiボディ領域422の直上に位置する領域は、低濃度のn型不純物を含むn-Si領域423となっている。そして、SiGe膜414のうちソース領域420aとドレイン領域420bとの間の領域は、比較的低濃度(約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$)のn型不純物を含むSiGeチャネル領域424となっており、Si膜415のうちゲート絶縁膜416の直下に位置する領域は低濃度のn型不純物を含むSiキャップ層425となっている。また、ゲート電極417の側面上にはシリコン酸化膜からなるサイドウォール427が設けられている。

【0115】また、n-MOSFETは、Si膜415の上に設けられたシリコン酸化膜からなるゲート絶縁膜456と、ゲート絶縁膜456の上に設けられたゲート電極457とを備えている。そして、半導体層480のうちゲート電極457の両側方に位置する領域には高濃度のn型不純物を含むソース領域460a及びドレイン領域460bが設けられている。また、上部Si層412のうちソース領域460aとドレイン領域460bとの間の領域は、高濃度(約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$)のp型不純物を含むSiボディ領域462となっており、Siバッファ層413のうちSiボディ領域462の直上に位置する領域は、低濃度のp型不純物を含むp-Si領域426となっている。そして、SiGe膜414のうちソース領域460aとドレイン領域460bとの間の領域は、比較的低濃度(約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$)のp型不純物を含むSiGeチャネル領域464となっており、Si膜415のうちゲート絶縁膜456の直下に位置する領域は低濃度のp型不純物を含むSiキャップ層465となっている。また、ゲート電極457の側面上にはシリコン酸化膜からなるサイドウォール

467が設けられている。

【0116】さらに、基板上には、層間絶縁膜490と、層間絶縁膜490を貫通してソース・ドレイン領域420a、420b、460a、460bに接触するコンタクト491と、コンタクト491に接続されて層間絶縁膜490の上に延びるソース・ドレイン電極492とが設けられている。また、基板には、半導体層430、480を互いに分離するためのトレンチ分離493が設けられている。

【0117】図33(a)、(b)は、それぞれpチャネル用のSi/SiGeヘテロ接合部及びnチャネル用のSi/SiGeヘテロ接合部におけるバンド構造を示すエネルギーバンド図である。図33(a)に示すように、pチャネル用のSi/SiGeヘテロ接合部においては、一般的には、バンドオフセット(ヘテロ障壁)はホールの閉じ込めに有利な価電子帯端に主にあらわれる。一方、図33(b)に示すように、バンドオフセットが主として価電子帯に形成されるSi/SiGeヘテロ接合部においても、Si層とSiGe層とをp型にドーピングしておくことにより、伝導帯端にバンドの飛びによるポテンシャルのくぼみが生じるので、電子をSiGeチャネル領域464に閉じ込めることが可能となる。よって、Si/SiGe接合を利用して、電子がSiGe層内に閉じ込められてSiGe層内を走行するnチャネルと、ホールがSiGe層内に閉じ込められてSiGe層内を走行するpチャネルとを形成することが可能となる。

【0118】本実施形態の相補型CMOSデバイスの製造工程においては、Si基板の一部である上部Si層は、結晶成長前にあらかじめイオン注入により濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ の不純物がドーブされたn+Si層(p-MOSFET領域)とp+Si層(n-MOSFET領域)とになっている。また、p-MOSFET領域ととMOSFET領域とを互いに分離するためのトレンチ分離493が基板面よりも上方に突出するように設けられている。その後、UHV-CVD法によりエピタキシャル成長されたSiバッファ層、SiGe膜、Siキャップ層は、いずれもas-grownの状態では、不純物がドーブされていないアンドープ層となっている。SiGe膜、Siキャップ層の結晶成長が終了した後に、n-MOSFET領域のSiGeチャネル領域付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のp型不純物がイオン注入によりドーブされる。また、p-MOSFET領域のSiGeチャネル領域の付近には、濃度が約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のn型不純物がイオン注入によりドーブされる。そして、最上層のSi膜を熱酸化することにより得られるシリコン酸化膜をゲート絶縁膜とし、その上には高濃度の不純物を含むポリシリコンからなるゲート電極が形成される。その後、各ゲート電極の両側には、高濃度のp型不純物がイオン注入さ

れた p^+ 型ソース・ドレイン領域と、高濃度の n 型不純物がドーピングされた n^+ 型ソース・ドレイン領域とが形成される。さらに、層間絶縁膜、コンタクト及びソース・ドレイン電極がそれぞれ形成される。

【0119】本実施形態の $Si/SiGe$ 接合部を有する CMOS デバイスによると、 $Si/SiGe$ 接合部に p 型不純物濃度を導入すると、伝導帯端に電子を閉じ込めるのに有利なくぼみが形成されることに着目し、 $Si/SiGe$ 接合部を利用して高速動作が可能で電流駆動力の大きい n -MOSFET を得ることができる。そして、この n -MOSFET を利用して、従来から知られている $Si/SiGe$ 接合部を有する p -MOSFET とを共通の Si 基板上に設けることで、高速動作が可能で電流駆動力の大きい n -MOSFET 及び p -MOSFET を有する CMOS デバイスを得ることができる。

【0120】なお、本実施形態の $SiGe$ チャネル領域の代わりに、 C を 0.01%~2% (例えば 0.1% 程度) 含む $SiGe$ 、つまり $SiGeC$ 層を用いてもよい。

【0121】(実験データ) 次に、本発明に関する実測データについて説明する。

【0122】図 34 (a) は、 $SiGe$ チャネル領域の Ge 含有率を 0%, 10%, 20%, 30% に変えて測定したドレイン電流 I_d のゲートバイアス V_g 依存性のデータである。同図に示すように、従来の Si ホモ接合型 DTMOS (同図の左端参照) に比べて、 Ge 含有率が高くなるにつれて同じゲートバイアスに対するしきい値電圧が小さくなっている。

【0123】図 34 (b) は、本発明の HDTMOS と従来の MOS とについて、相互コンダクタンスのゲートオーバードライブ依存性を、 Ge 含有率をパラメータとして示すデータである。同図に示されるように、本発明の HDTMOS により、従来の MOS よりも大幅に相互コンダクタンス g_m が向上している。

【0124】図 35 (a) は、 Si ボディ領域の n 型不純物濃度 N_D を $2 \times 10^{17} \text{ cm}^{-3}$, $5 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$ に変えて測定したドレイン電流 I_d のゲートバイアス V_g 依存性のデータである。同図に示すように、 Si ボディ領域の不純物濃度が高くなるにつれて、同じゲートバイアスに対するドレイン電流 I_d が低減している。これは、しきい値電圧の上昇によるものと考えられる。

【0125】図 35 (b) は、本発明の HDTMOS と従来の MOS とについて、相互コンダクタンスのゲートオーバードライブ依存性を、チャネル領域の不純物濃度をパラメータとして示すデータである。図 34 (b) に示されると同様に、本発明の HDTMOS により、従来の MOS よりも大幅に相互コンダクタンス g_m が向上している。

【0126】図 36 は、本発明の HDTMOS につい

て、ボディ効果係数 γ としきい値電圧との相関関係を、 Ge 含有率と Si ボディ領域の不純物濃度とをパラメータとして示すデータである。同図に示すように、従来問題とされていた、しきい値を低下させるとボディ効果係数 γ が増大するというトレードオフを緩和することができる。

【0127】一方、DTMOS においては、ボディ効果係数 γ が大きい方が好ましい。ボディ効果係数 γ は、下記式

$$\gamma = |\Delta V_{th}| / |\Delta V_{bs}|$$

によって表される。ただし、 ΔV_{th} はしきい値電圧のシフト量、 ΔV_{bs} はボディーソース間電圧のシフト量である。

【0128】DTMOS においては、ボディ領域とゲート電極とが互いに電気的に接続されているために、ゲート電圧を高くしていくと、ボディ領域の電圧もそれに伴って上昇する。ゲート電圧が電源電圧 V_{dd} のとき、しきい値電圧のシフト量 ΔV_{th} は、式 $\Delta V_{th} = \gamma \cdot V_{dd}$ によって表される。

【0129】従来の MOSFET は、ゲートオーバードライブ量は、 $(V_{dd} - V_{th})$ によって表される。ところが、DTMOS の場合には、ゲートオーバードライブ量は、 $(V_{dd} - V_{th} - \Delta V_{th} = V_{dd} - V_{th} - \gamma V_{dd})$ になり、 γ が大きいほど電流駆動力が大きくなる。

【0130】図 36 をみると、 Ge 含有率が同じである複数の HDTMOS の γ を比べると、HDTMOS のボディ領域における不純物濃度が高いものほど、 γ が大きくなるが、しきい値電圧 V_{th} も上昇するという従来の Si ホモ接合型の DTMOS におけるトレードオフ関係が HDTMOS にもみられる。

【0131】一方、ボディ領域における不純物濃度が同じである複数の HDTMOS の γ を比べると、HDTMOS の Ge 含有率を多くするほど、しきい値電圧が低下し、しかも、 γ も大きくなっている。これは、 $SiGe$ チャネルが埋め込みチャネル構造となっていることに起因する。

【0132】したがって、 $SiGe$ チャネルを用い、かつ、ボディ領域における不純物濃度 N_d を高くした HDTMOS により、 Si ホモ接合型の DTMOS としきい値電圧が同程度であっても、より大きな γ が得られることになる。これは、例えば、図 36 中の $Ge: 30\%$, $N_D: 1 \times 10^{18} \text{ cm}^{-3}$ の γ 値と、 $Ge: 0\%$, $N_D: 2 \times 10^{17} \text{ cm}^{-3}$ の γ 値とを比べるとわかる。

【0133】図 37 は、MOS (○印のデータ), $Si/SiGe$ -MOS (Ge 含有率 30%) (●印のデータ), Si ホモ接合型 DTMOS (□印のデータ), $Si/SiGe$ -HDTMOS (Ge 含有率 30%) (■印のデータ) の I_d , $I_b - V_g$ 特性を示す図である。ここで、MOS と Si ホモ接合型 DTMOS とのボディ領域における不純物濃度は $2 \times 10^{17} \text{ cm}^{-3}$ であり、 S

10

20

30

40

50

i/SiGe-MOSとSi/SiGe-HDTMOSとのボディ領域における不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。図37の矢印の部分に示すように、Siホモ接合型DTMOS (□印のデータ)と、Si/SiGe-HDTMOS (■印のデータ)とを比べると、ゲート電圧が動作電圧になる範囲では、Si/SiGe-HDTMOSの方がドレイン電流 I_d が多いことがわかる。

【0134】図38は、Siホモ接合型DTMOS (□印のデータ)、Si/SiGe-HDTMOS (Ge含有率30%) (■印のデータ)の I_d - V_d 特性をより詳細に比較する図である。同図に示すように、Siホモ接合型DTMOS (□印のデータ)と、Si/SiGe-HDTMOS (■印のデータ)とを比べると、両者の($V_g - V_t$ (V_{th}))がおなじ値の時には、Si/SiGe-HDTMOSの方がドレイン電流 I_d が多いことがわかる。

【0135】図39は、Siホモ接合型DTMOS (□印のデータ)と、Si/SiGe-HDTMOS (Ge含有率30%) (■印のデータ)とのしきい値電圧のゲート長依存性を比較するための図である。同図に示すように、ゲート長が $0.5 \mu\text{m}$ 以下の領域では、Si/SiGe-HDTMOS (■印のデータ)の方がSiホモ接合型DTMOS (□印のデータ)よりもしきい値電圧 V_{th} が高く維持されており、Si/SiGe-HDTMOSにおいては、短チャネル効果に対する耐性が向上していることがわかる。

【0136】(第8の実施形態) 上記第1～第6の実施形態においては、Si層とSiGe層又はSiGeC層とのバンドギャップ差に着目して、しきい値電圧を低下させる工夫をしているが、本実施形態においては、歪みを受けたSi層と格子歪みが緩和したSiGe層との間に生じるキャリアが走行するバンド端のキャリアに対するポテンシャルの差に着目して、しきい値電圧を低下させ、電流駆動力を高めるように構成する。

【0137】図40は、本実施形態におけるnチャネル型トランジスタとして機能するHDTMOSの断面図である。同図に示すように、本実施形態のHDTMOSはp型のSi基板510と、Si基板510の上にUHV-CVD法によりエピタキシャル成長された傾斜SiGe膜513と、傾斜SiGe膜513の上にUHV-CVD法によりエピタキシャル成長され格子歪みが緩和された緩和SiGe膜514と、緩和SiGe膜514の上にUHV-CVD法によりエピタキシャル成長され引っぱり歪みを受けるSi膜515とから構成されている。さらに、HDTMOSは、Si膜515の上に設けられたシリコン酸化膜からなるゲート絶縁膜516と、ゲート絶縁膜516の上に設けられたゲート電極517とを備えている。そして、緩和SiGe膜514及びSi膜515のうちゲート電極517の両側方に位置する領域には高濃度のn型不純物を含むソース領域520a

及びドレイン領域520bが設けられている。また、緩和SiGe膜514のうちソース領域520aとドレイン領域520bとの間の領域は、高濃度のp型不純物を含むSiGeボディ領域524となっている。そして、Si膜515のうちソース領域520aとドレイン領域520bとの間の領域は、引っぱり歪みを受けて縮退が解け、実効質量が小さい高い移動度で走行するSiチャネル領域525 (nチャネル) となっている。また、ゲート電極517と緩和SiGeボディ領域524とを電氣的に接続する導体部材であるコンタクト526が設けられている。

【0138】ここで、傾斜SiGe膜513は、下端部におけるGeの含有率が0%で上端部におけるGe含有率が30%である傾斜組成を有し、緩和SiGe膜514はGeの含有率が30%の均一組成を有している。また、緩和SiGe膜514の厚みは格子歪みが緩和する臨界厚み以上の厚み例えば 30 nm であり、Si膜515の厚みは約 20 nm である。SiGeボディ領域524には、濃度が約 $1 \times 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ のp型不純物 (例えばボロン) がイオン注入により導入されている。傾斜SiGe膜513の上部には、SiGeボディ領域524、ソース・ドレイン領域520a、520bから拡散した不純物が低濃度で含まれているが、傾斜SiGe膜513の下部はアンドープ層となっている。また、Siチャネル領域525には、低濃度のp型不純物 (例えばボロン) が導入されている。ただし、Siチャネル領域525はアンドープ層であってもよい。ゲート絶縁膜516は、Si膜515を熱酸化することにより形成されたものである。ゲート電極517には、濃度が約 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ のn型不純物 (例えばヒ素又はリン) がドーピングされている。なお、ゲート電極517の側面上には、シリコン酸化膜からなるサイドウォール527が設けられている。

【0139】図41は、緩和SiGe膜からなるボディ領域524と、引っぱり歪みを受けたSi膜からなるSiチャネル領域525とに亘るバンド構造を示すエネルギーバンド図である。同図に示すように、Siチャネル領域525の伝導帯端のキャリアに対するポテンシャルは、ボディ領域524の伝導帯端のキャリアに対するポテンシャルよりも低いので、キャリアを電子とするnチャネルにおけるしきい値が低下する。

【0140】すなわち、nチャネルにおいては本実施形態のごとくキャリアが走行するバンド端である伝導帯端のポテンシャルをボディ領域よりも小さく、pチャネルにおいてはキャリアが走行するバンド端である価電子帯端のポテンシャルをボディ領域よりも小さくする (つまりエネルギーレベルを高くする) ことにより、上記各実施形態と同様に、寄生チャネルの発生を抑制しつつ、しきい値電圧を低下させることができる。

【0141】図42は、本実施形態の変形例におけるH

DTMOSの断面図である。同図に示すように、本変形例のHDTMOSは、p型のSi基板510と、上記図40における同じ構造を有する傾斜SiGe膜513と、傾斜SiGe膜53の上に設けられ上記図40における同じ構造を有する緩和SiGe膜514と、緩和SiGe膜514の上にUHV-CVD法によりエピタキシャル成長され引っ張り歪みを受けるSi膜515とを備えている。そして、本実施形態においては、緩和SiGe膜514の中に酸素イオンを注入するなどの方法により形成された埋め込み酸化膜511を形成する。そして、引っ張り歪みを受けるSi膜515の上には、上記図40に示すとおなじ構造が設けられている。この変形例においても、上記図40に示す第8の実施形態とおなじ効果を発揮することができ、加えて、寄生容量の低減による動作速度の向上を図ることができる。

【0142】

【発明の効果】本発明によれば、チャネル層にボディ領域を構成する材料のバンドギャップよりもバンドギャップの小さい材料を導入することにより、ドレイン電流を増大し（しきい値電圧を低減し）、チャネルを流れるドレイン電流とボディ（ゲート）電流との差を拡大することにより、トランジスタ動作の高速性を維持しながら動作電圧範囲の拡大を図ることができる。

【0143】また、チャネル領域とその周囲の半導体層との不純物濃度を適宜変更することにより、伝導帯端、価電子帯端のいずれにおいてもキャリアの閉じ込めに有利なくぼみを形成することができ、動作が高速で電流駆動力の高いヘテロ接合型CMOSデバイスを得ることができる。

【図面の簡単な説明】

【図1】従来のDTMOSの構造を模式的に示す断面図である。

【図2】従来のDTMOSの構造を模式的に示す平面図である。

【図3】（a）、（b）、（c）は、それぞれ順に、第1の実施形態のHDTMOSの構造を模式的に示す平面図、図3（a）で示すIIIb-IIIb線における断面図、図3（a）で示すIIIc-IIIc線における断面図である。

【図4】第1の実施形態のHDTMOSの構造をさらに詳細に示す断面図である。

【図5】Siキャップ層、SiGeチャネル領域及びn-Si領域を通過する断面におけるバンドアライメントを示すエネルギーバンド図である。

【図6】第1の実施形態におけるゲート電極からSiボディ領域までを通過する断面におけるビルトインバンド構造を示すエネルギーバンド図である。

【図7】本発明のpチャネル型HDTMOSと、従来のpチャネル型DTMOSとのドレイン電流、ボディ電流のゲートバイアス依存性をシミュレーションした結果を示す図である。

【図8】本発明のHDTMOSと従来のDTMOSとでしきい値電圧を等しくするために、ボディ領域の不純物濃度をそれぞれ調整したときのドレイン電流、ボディ電流のゲートバイアス依存性をシミュレーションした結果を示す図である。

【図9】本発明のHDTMOSにおいて、ゲート長を変化させたときのドレイン電流、ボディ電流のゲートバイアス依存性を示す図である。

【図10】従来のSiホモ接合型DTMOSにおいて、ゲート長を変化させたときのドレイン電流、ボディ電流のゲートバイアス依存性を示す図である。

【図11】図9、図10のデータから求められる本発明のHDTMOSと、従来のDTMOSとのしきい値電圧のゲート長依存性を示す図である。

【図12】本発明のHDTMOSのゲートバイアスボディ電流、ドレイン電流特性のチャネル領域の不純物濃度依存性を示す図である。

【図13】第1の実施形態の変形例に係る拡散防止層を設けたHDTMOSの例を示す断面図である。

【図14】従来のSi/SiGeヘテロ接合を有するpチャネル型MOSFETの基本的な構造を示す断面図である。

【図15】（a）、（b）は、一般的なSi/SiGeヘテロ接合型MOSFETの低ゲートバイアス時、高ゲートバイアス時におけるバンド構造を示すエネルギーバンド図である。

【図16】本発明のHDTMOSと、従来のヘテロ接合型SOIMOSFETにおけるヘテロチャネルおよび寄生チャネルそれぞれに蓄積されるピークキャリア濃度の比のゲートバイアス依存性を示す図である。

【図17】（a）、（b）、（c）は、それぞれ順に、第2の実施形態のHDTMOSの構造を模式的に示す平面図、図17（a）で示すXVIIb-XVIIb線における断面図、図17（a）で示すXVIIc-XVIIc線における断面図である。

【図18】第2の実施形態のHDTMOSの構造をさらに詳細に示す断面図である。

【図19】Siキャップ層、SiGeチャネル領域及びp-Si領域を通過する断面におけるバンドアライメントを示すエネルギーバンド図である。

【図20】第2の実施形態におけるゲート電極からSiボディ領域までを通過する断面におけるビルトインバンド構造を示すエネルギーバンド図である。

【図21】本発明のHDTMOSと従来のDTMOSとでしきい値電圧を等しくするために、ボディ領域の不純物濃度をそれぞれ調整したときのドレイン電流、ボディ電流のゲートバイアス依存性をシミュレーションした結果を示す図である。

【図22】第3の実施形態の相補型HDTMOSの構造を示す断面図である。

【図 23】第 3 の実施形態の変形例であるチャネル領域を $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ によって構成した相補型の HDTMOS の断面図である。

【図 24】 Si/SiGe ヘテロ接合部におけるバンド構造を示すエネルギーバンド図である。

【図 25】 Si/SiC ($\text{Si}_{1-y}\text{C}_y$: $y \approx 0.02$) ヘテロ接合部のエネルギーバンド図である。

【図 26】第 4 の実施形態の n チャネル型 HDTMOS の断面図である。

【図 27】 Si/SiGeC ヘテロ接合部におけるバンド構造を示すエネルギーバンド図である。

【図 28】第 5 の実施形態の HDTMOS の構造を示す断面図である。

【図 29】 $\text{Si}/\text{SiGe}/\text{SiC}$ ヘテロ接合部におけるバンド構造を示すエネルギーバンド図である。

【図 30】第 6 の実施形態の相補型 HDTMOS の構造を示す断面図である。

【図 31】 Si/SiGe 接合部と Si/SiC 接合部とを有する第 6 の実施形態の変形例における相補型 HDTMOS のバンド構造を示すエネルギーバンド図である。

【図 32】第 7 の実施形態の CMOS デバイスの構造を示す断面図である。

【図 33】(a), (b) は、それぞれ p チャネル用の Si/SiGe ヘテロ接合部及び n チャネル用の Si/SiGe ヘテロ接合部におけるバンド構造を示すエネルギーバンド図である。

【図 34】(a), (b) は、チャネル領域の Ge 含有率を変えて測定したドレイン電流 I_d のゲートバイアス V_g 依存性、本発明の HDTMOS と従来の MOS との護送後コンダクタンスのゲートオーバードライブ依存性をそれぞれ示すデータである。

【図 35】(a), (b) は、チャネル領域の不純物濃度を変えて測定したドレイン電流 I_d のゲートバイアス V_g 依存性、本発明の HDTMOS と従来の MOS との相互コンダクタンスのゲートオーバードライブ依存性をそれぞれ示すデータである。

【図 36】本発明の HDTMOS について、ボディ効果係数 γ としきい値電圧との相関関係を、 Ge 含有率とチャネル領域の不純物濃度とをパラメータとして示すデータである。

【図 37】MOS, Si/SiGe -MOS (Ge 含有率 30%), Si ホモ接合型 DTMOS, Si/SiGe -HDTMOS (Ge 含有率 30%) の I_d , I_b - V_g 特性を示す図である。

【図 38】 Si ホモ接合型 DTMOS, Si/SiGe -HDTMOS (Ge 含有率 30%) の I_d - V_d 特性をより詳細に比較する図である。

【図 39】 Si ホモ接合型 DTMOS と、 Si/SiGe -HDTMOS (Ge 含有率 30%) との短チャネル効果を比較するための図である。

【図 40】第 8 の実施形態における n チャネル型トランジスタとして機能する HDTMOS の断面図である。

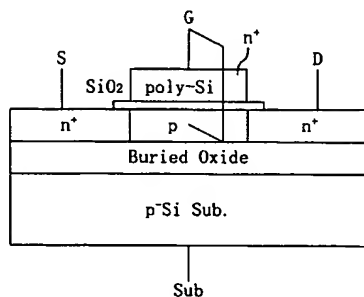
【図 41】緩和 SiGe 膜からなるボディ領域と、引張り歪みを受けた Si 膜からなる Si チャネル領域とに亘るバンド構造を示すエネルギーバンド図である。

【図 42】第 8 の実施形態の変形例における HDTMOS の断面図である。

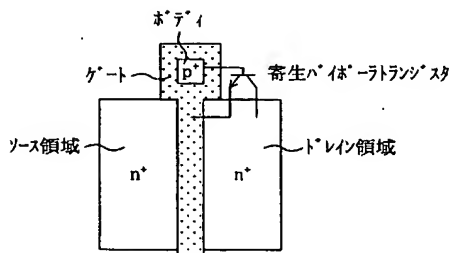
【符号の説明】

- 10 Si 基板
- 11 埋め込み酸化膜
- 12 上部 Si 膜
- 13 Si バッファ層
- 14 SiGe 膜
- 15 Si 膜
- 16 ゲート絶縁膜
- 17 ゲート電極
- 20a ソース領域
- 20b ドレイン領域
- 22 ボディ領域
- 23 n^+ Si 領域
- 18 S ソース
- G ゲート
- D ドレイン

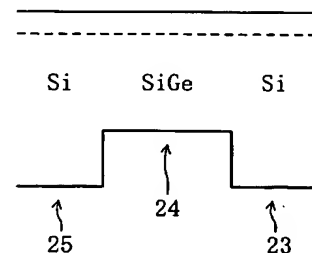
【図 1】



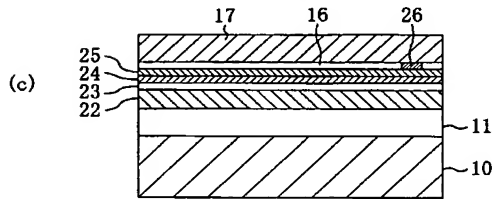
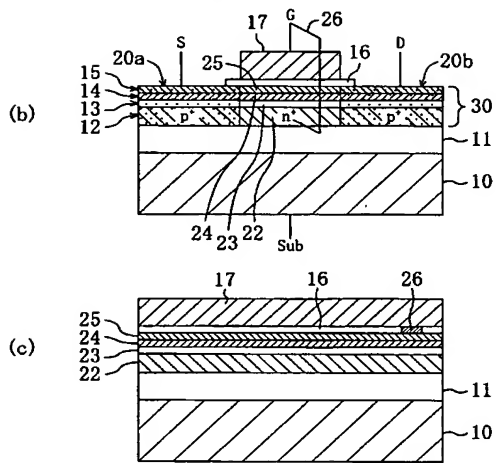
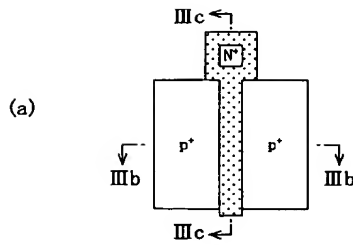
【図 2】



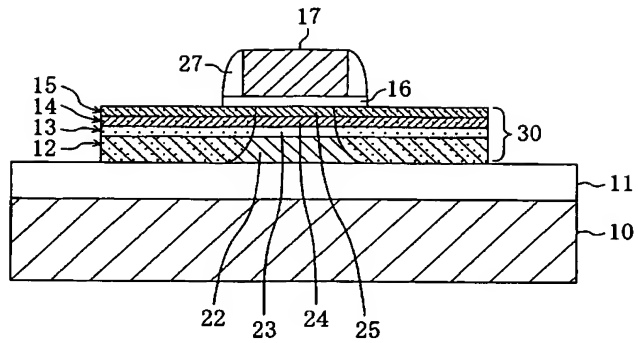
【図 5】



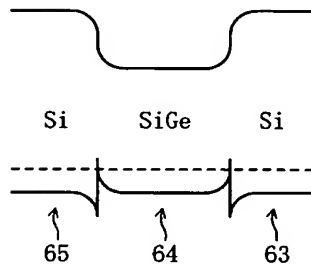
【図 3】



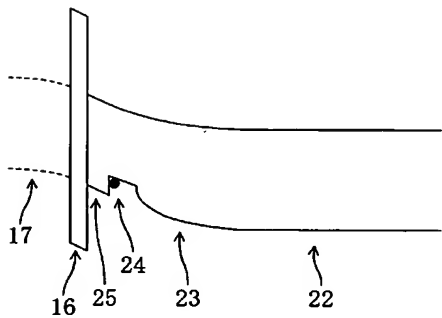
【図 4】



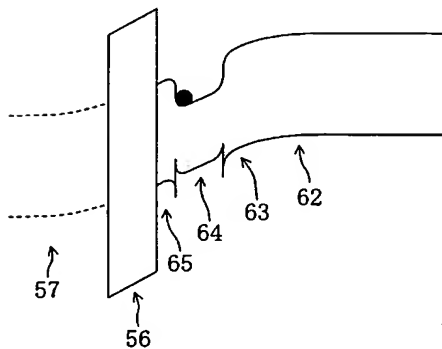
【図 19】



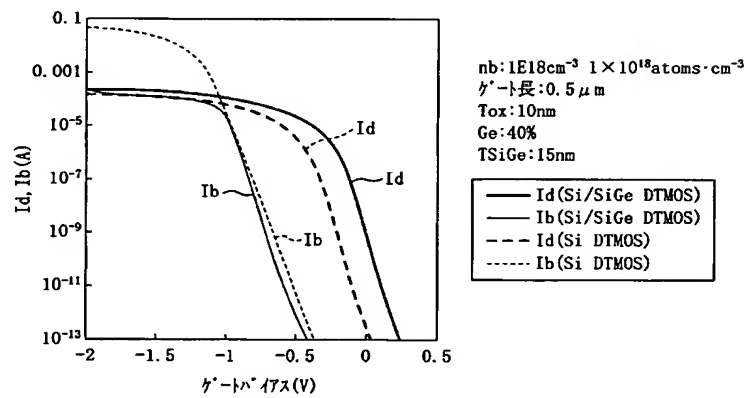
【図 6】



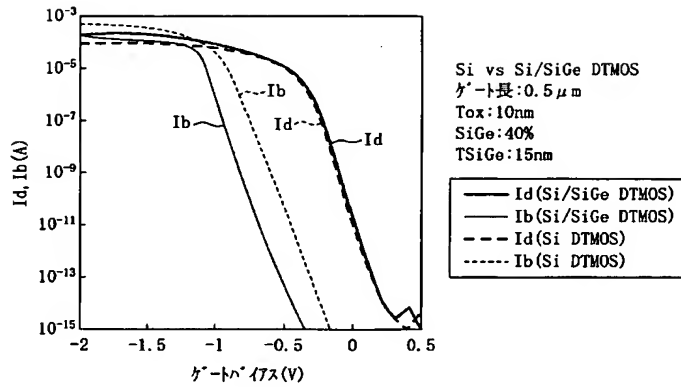
【図 20】



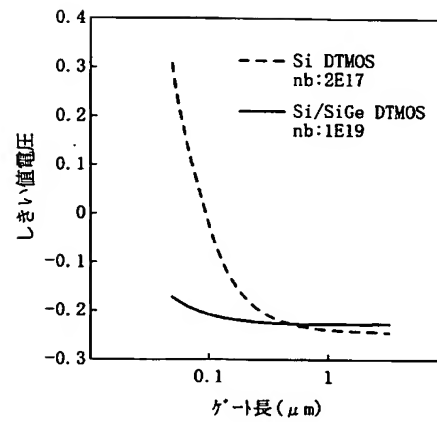
【図 7】



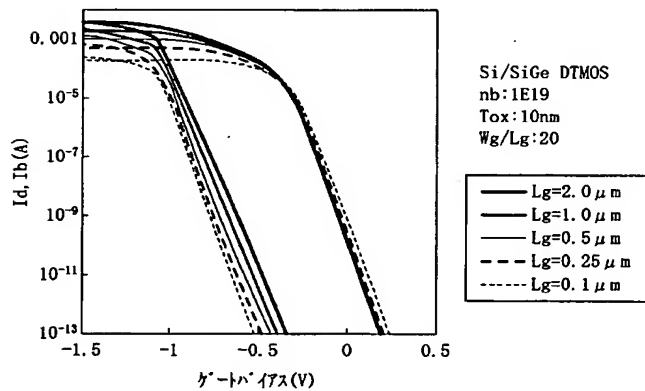
【図 8】



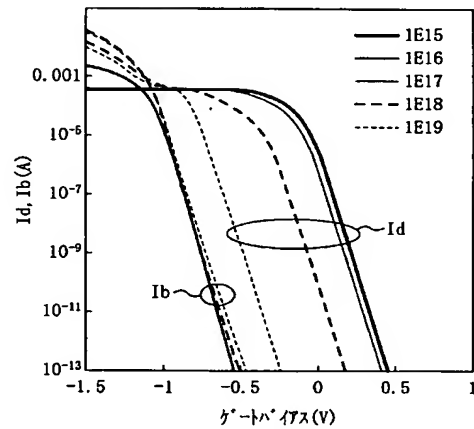
【図 11】



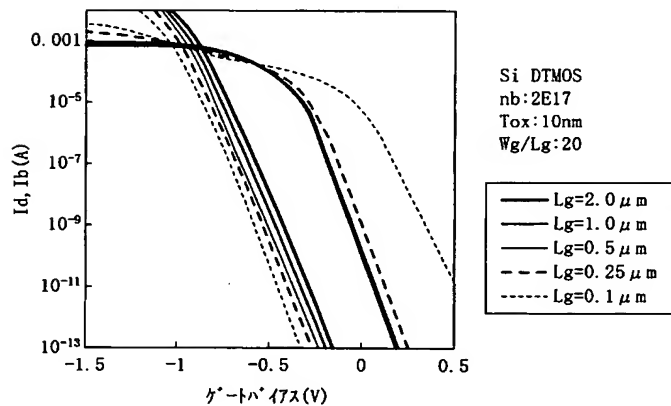
【図 9】



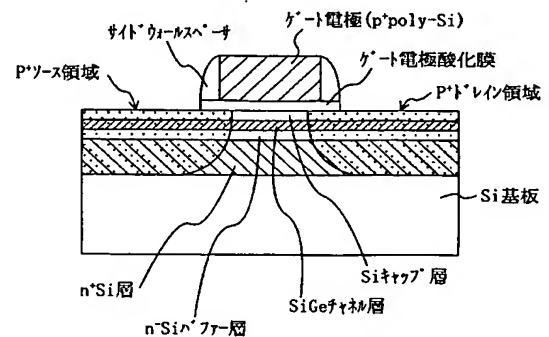
【図 12】



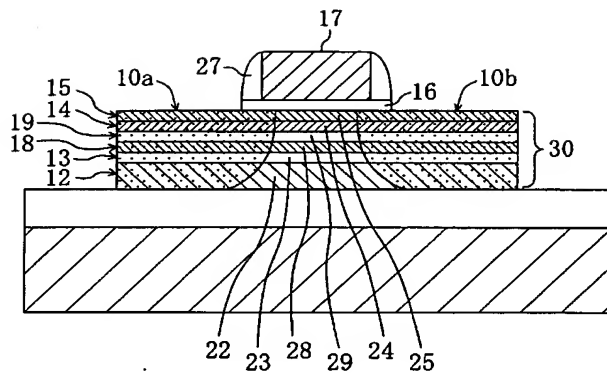
【図 10】



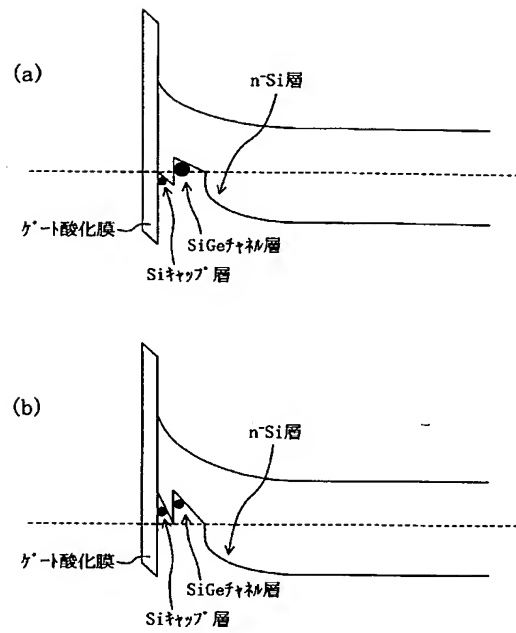
【図 14】



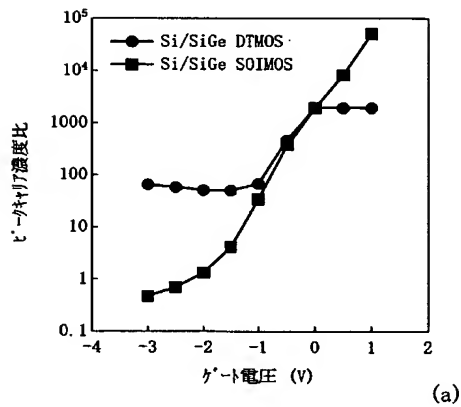
【図13】



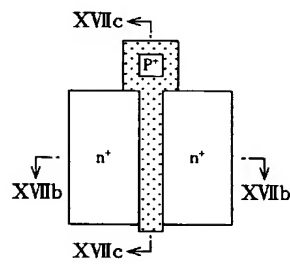
【図15】



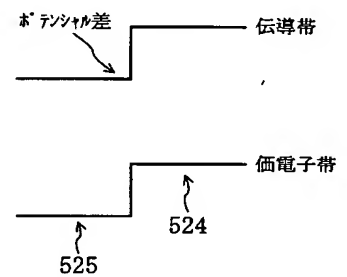
【図16】



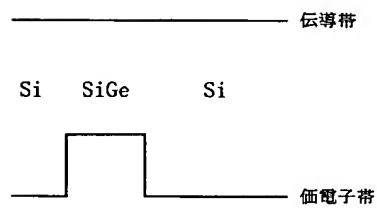
【図17】



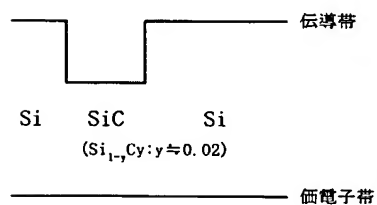
【図41】



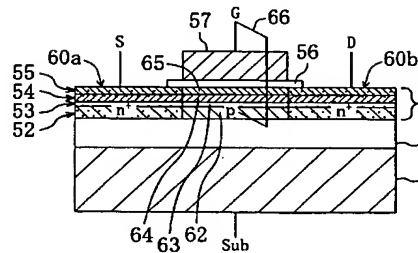
【図24】



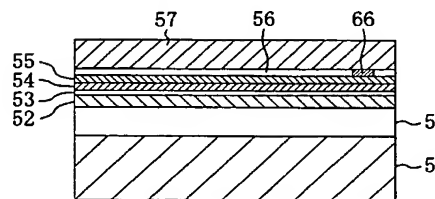
【図25】



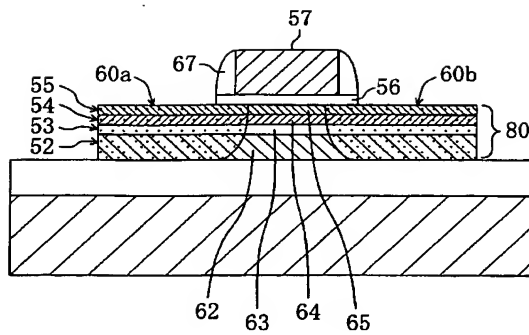
(b)



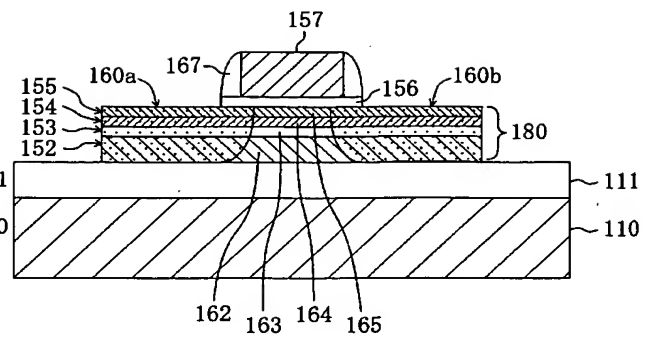
(c)



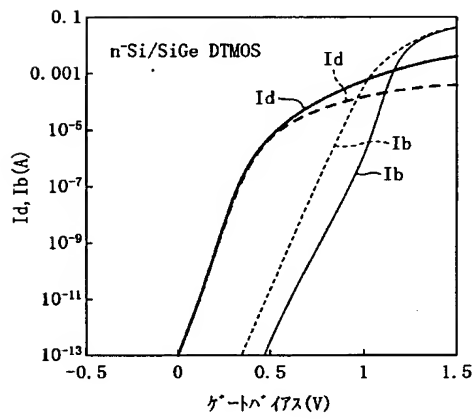
【図 18】



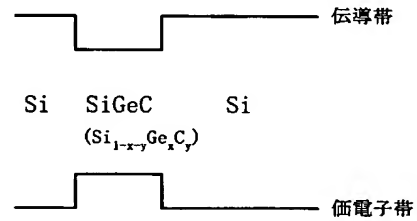
【図 26】



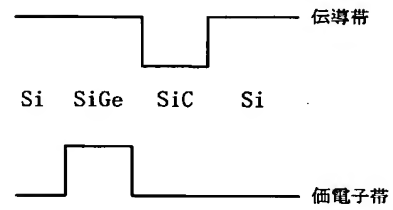
【図 21】



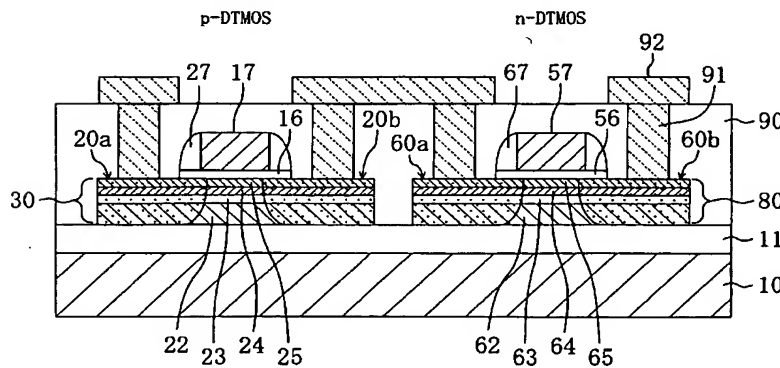
【図 27】



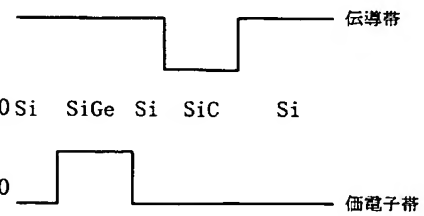
【図 29】



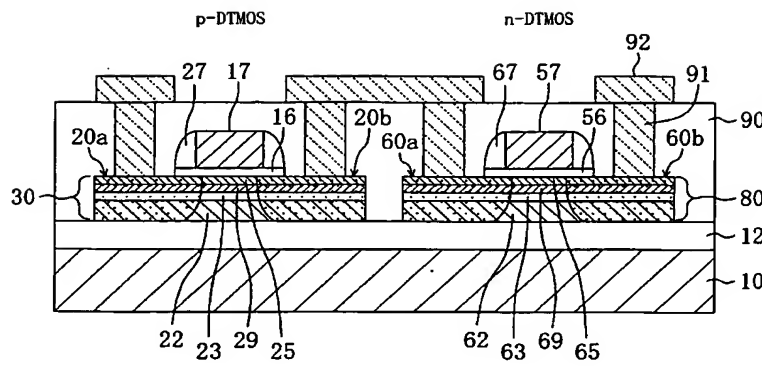
【図 22】



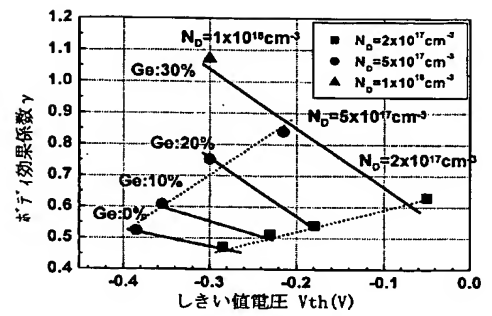
【図 31】



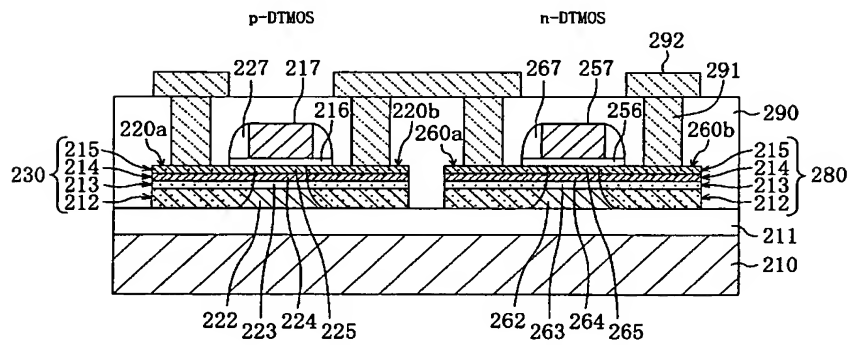
【図 23】



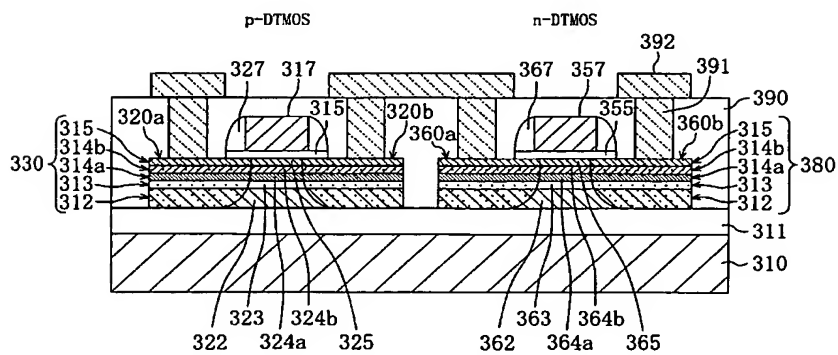
【図 36】



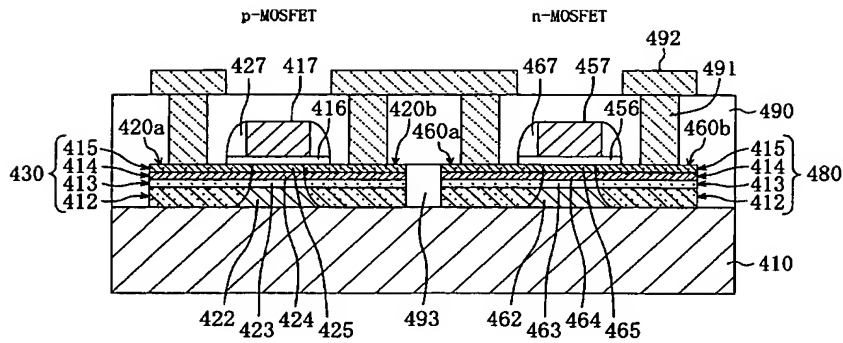
【図 28】



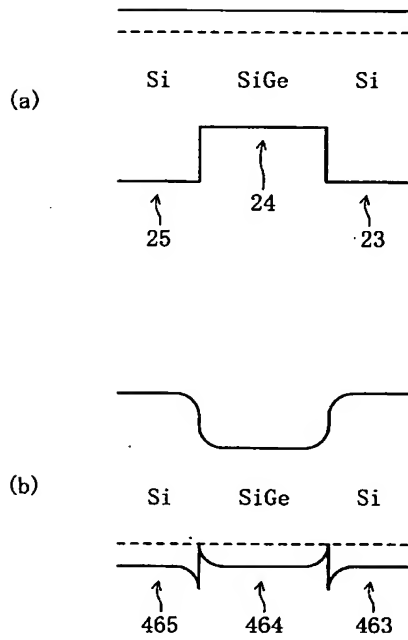
【図 30】



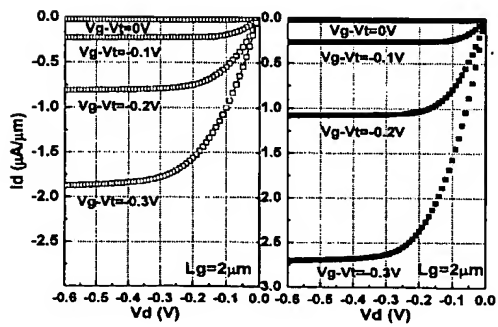
【図32】



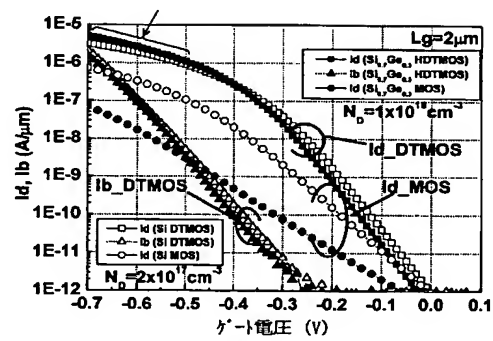
【図33】



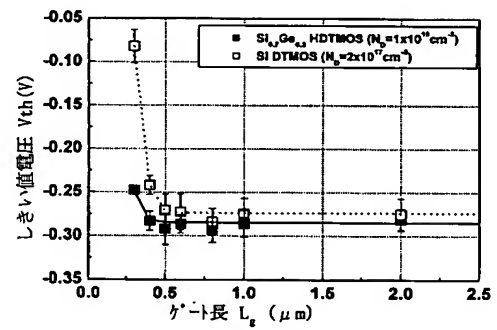
【図38】



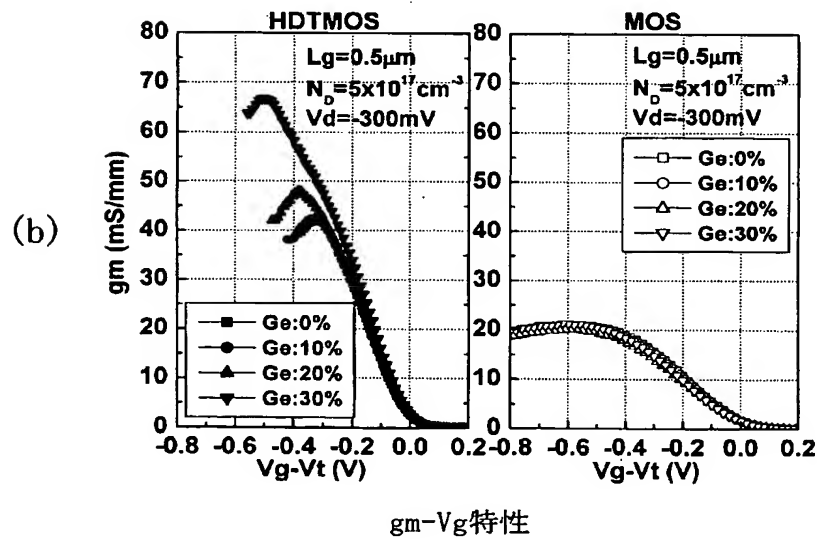
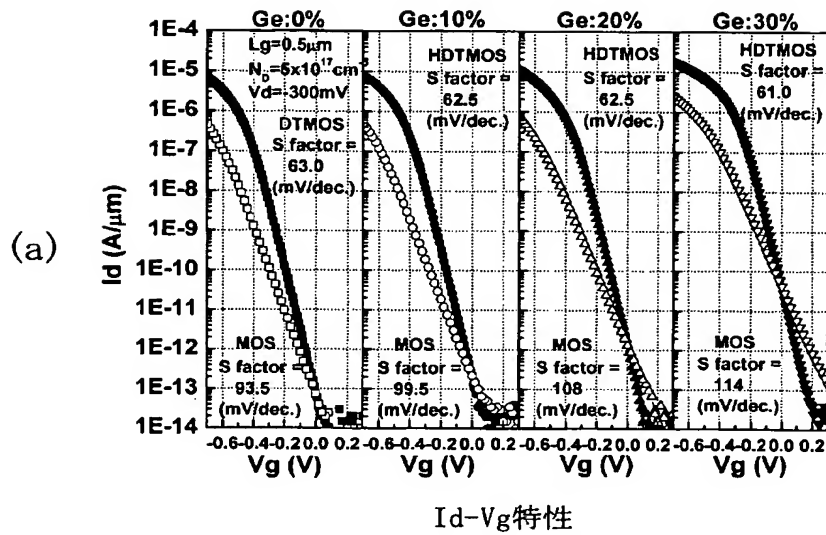
【図37】



【図39】



【図34】



【図35】

